

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Won-Cheol Jeong

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: MAGNETIC MEMORIES WITH BIT LINES AND DIGIT LINES THAT
INTERSECT AT OBLIQUE ANGLES AND FABRICATION METHODS
THEREOF

October 16, 2003

MS PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0067349, filed November 1, 2002.

Respectfully submitted,



David K. Purks

Registration No. 40,133

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

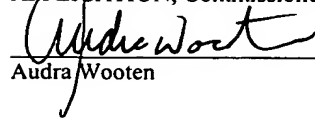
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318417890 US

Date of Deposit: October 16, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Audra Wooten

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0067349
Application Number

출원 년 월 일 : 2002년 11월 01일
Date of Application NOV 01, 2002

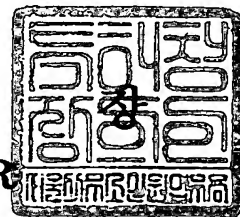
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.01
【발명의 명칭】	자기 메모리 및 그 제조 방법
【발명의 영문명칭】	Magnetic Memory And Method Of Fabricating The Same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정원철
【성명의 영문표기】	JEONG, WON CHEOL
【주민등록번호】	731212-1702014
【우편번호】	156-020
【주소】	서울특별시 동작구 대방동 44-144,26/5
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	40 면 40,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	26	항	941,000	원
【합계】	1,010,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

비스듬히 교차하는 비트 라인과 디짓 라인을 구비하는 자기 메모리 및 그 제조 방법을 제공한다. 이 자기 메모리는 한 평면에 배치되는 복수개의 디짓 라인들, 디짓 라인들을 가로지르면서 또다른 평면에 배치되는 복수개의 비트라인들 및 비트라인과 디짓 라인 사이에 개재된 자기 터널 접합을 포함한다. 이때, 디짓 라인과 비트 라인은 서로 비스듬하게 교차한다. 이 자기 메모리는 2 차원적으로 배열된 셀 트랜지스터들을 구비하는 반도체기판 상에 배치될 수 있다. 이 때, 디짓 라인과 비트 라인은 셀 트랜지스터들의 상부를 갈지자 또는 대각선으로 지난다.

【대표도】

도 9a

【명세서】**【발명의 명칭】**

자기 메모리 및 그 제조 방법{Magnetic Memory And Method Of Fabricating The Same}

【도면의 간단한 설명】

도 1a는 통상적인 풀 씨모스(full CMOS)형 에스램의 단위 셀을 나타내는 회로도이다.

도 1b는 통상적인 디램의 셀 어레이를 나타내는 회로도이다.

도 1c는 통상적인 낸드(NAND)형 플래쉬 메모리의 셀 어레이를 나타내는 회로도이다.

도 2는 종래 기술에 따른 자기 메모리(MRAM)의 셀 어레이의 일부를 나타내는 평면도이다.

도 3은 종래 기술에 따른 자기 메모리의 셀 어레이를 나타내는 공정단면도이다.

도 4는 종래 기술에 따른 자기 터널 접합(MTJ)을 구비하는 자기 메모리의 구조를 설명하기 위한 사시도이다.

도 5는 본 발명의 제 1 및 제 2 실시예에 따른 자기 메모리의 셀 어레이를 나타내는 회로도이다.

도 6 및 도 7은 각각 본 발명의 제 3 및 제 4 실시예에 따른 자기 메모리의 셀 어레이를 나타내는 회로도들이다.

도 8a 내지 도 11a 및 도 8b 내지 도 11b는 차례로 본 발명의 제 1, 제 2, 제 3 및 제 4 실시예 및 그들의 변형예들에 따른 자기 메모리의 셀 어레이를 나타내는 평면도들이다.

도 12 및 도 13은 본 발명의 제 1 및 제 3 실시예 그리고 제 2 및 제 4 실시예에 따른, 자기 터널 접합을 구비하는 자기 메모리를 나타내는 사시도들이다.

도 14는 비트 라인과 디짓 라인을 비스듬하게 교차하도록 배치하는 효과를 알아보기 위해 실시한 시뮬레이션의 결과를 나타내는 그래프이다.

도 15 내지 도 18은 본 발명에 따른 자기 터널 접합을 구비하는 자기 메모리의 제조 방법을 나타내는 공정 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 자기 터널 접합(MTJ)을 사용하는 자기 메모리 및 그 제조 방법에 관한 것이다.

<14> 이동 통신 및 컴퓨터 등과 같은 전자 산업의 발전에 따라, 다양한 기능 및 우수한 성능을 갖는 반도체 소자에 대한 요구가 증가하고 있다. 하지만, 현재 사용되는 에스램(SRAM, static random access memory), 디램(DRAM, dynamic RAM), 플래쉬 메모리(FLASH memory) 및 강유전체 메모리(FerAM, ferroelectric RAM) 등과 같은 메모리 소자는 상기 요구되는 다양한 기능 및 우수한 성능을 동시에 충족시키지 못하고 있다. 즉, 상기 메모리

리 소자들은 아래 표 1에 개시한 것과 같은 장점 및 단점을 함께 갖기 때문에, 전자 장치에서 요구되는 모든 특성들을 전부 충족시키지 못한다.

<15> 【표 1】

	SRAM	DRAM	FLASH	FeRAM	MRAM
READ	고속	중속	고속	중속	중~고속
WRITE	고속	중속	저속	중속	중~고속
Non-volatility	없음	없음	있음	중간	있음
Refresh	불필요	필요	불필요	불필요	불필요
Size of Unit Cell	대	소	소	중	소
Low Voltage for Operation	가능	한계 있음	불가능	한계 있음	가능

<16> 도 1a는 피채널 모스펫(p-channel MOSFET)을 풀업 소자(pull-up device)로 사용하는, 풀 씨모스(full CMOS)형 에스램의 단위 셀을 나타내는 회로도이다. 상기 에스램은 판독(read) 및 기록(write) 속도가 매우 빠르거나, 소모 전력이 적은 장점을 갖는다. 하지만, 상기 에스램은, 도시한 것처럼, 단위 셀(unit cell)이 6개의 트랜지스터로 구성되기 때문에 고집적화하기 어렵다.

<17> 도 1b는 통상적인 디램의 셀 어레이를 나타내는 회로도이다. 도시한 것처럼, 상기 디램의 단위셀은 한 개의 트랜지스터 및 한 개의 커패시터로 구성되기 때문에, 그 면적은 상기 에스램보다 훨씬 적은 대략 $10F^2$ (F는 최소가공크기(minimum Feature size)를 나타낸다)이다. 따라서, 상기 디램은 상기 에스램보다 고집적화하기 쉽다. 하지만, 상기 디램은 전하의 누설(leakage)로 인한 정보의 손실을 방지하기 위해, 수 밀리초(ms) 정도마다 리프레쉬(refresh) 동작이 필요하다.

<18> 한편, 휴대용 전자 장치에 대한 수요가 증가함에 따라, 전원 공급에 관계없이 저장된 정보를 유지하는 비휘발성은 메모리 소자에서 요구되는 또다른 특성이 되고 있다. 하지만, 상기 에스램 및 디램은 비휘발성이 없다. 이에 따라, 휴대용

전자 장치의 분야에서는 비휘발성을 갖는 플래쉬 메모리 및 강유전체 메모리에 대한 관심이 증가하고 있다.

<19> 도 1c는 통상적인 낸드(NAND)형 플래쉬 메모리의 셀 어레이를 나타내는 회로도이다. 상기 NAND형 플래쉬 메모리는 셀 커패시터가 없으며 단위 셀마다 콘택을 갖지 않기 때문에, 그 단위 셀 면적은 디램의 단위 셀 면적보다 작은 $4 \sim 8F^2$ 이다. 이에 따라, 상기 NAND 형 플래쉬 메모리는 고집적화하기 가장 용이한 메모리 소자로 이해된다. 하지만, 알려진 것처럼, 상기 플래쉬 메모리는 기록 모드(write mode)에서는 동작 전압이 5~12V로 높으며, 특히 소거(erase) 속도가 느린 단점을 갖는다. 이에 더하여, 상기 동작 전압을 높이기 위해 주변회로에 배치되는 펌핑 회로는 상기 플래쉬 메모리의 고집적화를 방해한다. 또한, 상기 플래쉬 메모리는 재사용 가능한 횟수가 대략 $10^5 \sim 10^6$ 번으로 제한되는 단점을 갖는다.

<20> 또다른 비휘발성 메모리인 강유전체 메모리의 셀 구조는 한 개의 트랜지스터와 한 개의 커패시터로 구성되어, 디램의 단위 셀과 비슷하다. 한편, 상기 강유전체 메모리는 상기 커패시터를 강유전성 물질로 형성함으로써 비휘발의 특성을 갖지만, 판독 동작의 파괴적인(destructive) 특성에 의해 판독시마다 재기록(rewriting)이 요구된다. 또한, 상기 강유전체 메모리는 재사용 가능한 횟수에 제한이 있으며, 중간 수준의 동작 속도를 갖는다. 이에 더하여, 강유전체 재료에서 유발되는 어려움들, 즉 수소와의 높은 반응성, 고온 어닐링의 필요성 및 셀 면적/셀 전압의 스케일링(scaling)의 어려움 등은 강유전체 메모리의 개발을 위해 해결해야 할 기술적 과제로 남아있다.

- <21> 이에 비해, MRAM(magnetic RAM 또는 magnetoresistive RAM)은 비휘발성이고, 재사용 횟수에서 제한이 없고, 고집적화하기 용이하며, 고속 동작 및 저전압 동작이 가능한 장점을 갖는다.
- <22> 아래에서는 도 2 내지 도 4를 참조하여 종래 기술에 따른 MRAM의 구조를 설명한다. 도 2는 종래 기술에 따른 MRAM의 셀 어레이의 일부를 나타내는 평면도이고, 도 3은 도 2의 I-I'을 따라 보여지는 단면을 나타낸다. 도 4는 종래 기술에 따른 MRAM의 구조를 설명하기 위한 사시도이다.
- <23> 도 2 내지 도 4를 참조하면, 반도체기판(10)의 소정영역에는 소자분리막(12)이 배치되어 활성영역들(11)을 한정한다. 상기 활성영역들(11) 및 소자분리막(12)을 가로질러 복수개의 게이트 전극들(15), 즉 복수개의 워드 라인들(word line)이 배치된다. 상기 활성영역들(11)의 각각은 상기 한 쌍의 게이트 전극들(15)과 수직하게 교차한다. 즉, 상기 활성영역들(11)의 방향을 행 방향(x축 방향)이라고 할 때, 상기 게이트 전극들(15)은 열 방향(y축 방향)으로 배치된다. 상기 게이트 전극들(15) 사이의 활성영역(11)에는 공통 소오스 영역(16s)이 배치되고, 상기 공통 소오스 영역(16s)의 양 옆의 활성영역들(11)에는 드레인 영역(16d)이 배치된다. 이에 따라, 상기 활성영역들(11)과 상기 게이트 전극들(15)이 교차하는 지점들(points)에는 셀 트랜지스터가 형성된다.
- <24> 상기 셀 트랜지스터를 갖는 반도체기판의 전면은 층간절연막(20)으로 덮여진다. 상기 층간절연막(20) 내에는 상기 게이트 전극들(15)에 평행한 복수개의 디짓 라인들(digit line, 30)이 배치된다. 상기 층간절연막(20) 및 디짓 라인들(30) 상에는 상기 게이트 전극(15)을 가로지르는, 즉 상기 활성영역(11)에 평행한 복수개의 비트 라인들(bit line, 50)이 배치된다. 상기 비트 라인(50)과 상기 디짓 라인(30) 사이에는, 자기 터널

접합들(magnetic tunnel junction, MTJ, 40)이 배치된다. 상기 자기 터널 접합(40)과 상기 디짓 라인(30) 사이에는, 상기 드레인 영역(16d)의 상부로 연장된 하부 전극(35)이 배치된다. 상기 자기 터널 접합(40)은 상기 하부 전극(35)의 상부면과 상기 비트 라인(50)의 하부면에 직접 접촉한다. 상기 층간절연막(20) 내에는, 상기 하부 전극(35)과 상기 드레인 영역(16d)을 전기적으로 연결하는 수직 배선(25)이 배치된다. 상기 수직 배선(25)은 차례로 적층된 복수개의 플러그들을 포함할 수도 있다. 상기 공통 소오스 영역(16s)의 상부에는 소오스 플러그(26) 및 소오스 라인(28)이 차례로 연결된다.

<25> 상기 자기 터널 접합(40)의 기본적인 구조는 피닝층(pinning layer, 42), 고정막(fixed layer, 44), 절연막(46) 및 자유막(free layer, 48)으로 구성된다. 상기 자기 터널 접합(40)의 저항은 상기 자유막(48)과 상기 고정막(44) 사이의 자화 방향(magnetization direction)이 같은 방향인가 역 방향인가에 따라 크게 변한다. 자화 방향에 의존적인 상기 자기 터널 접합(40)의 저항 특성은 MRAM의 정보 저장의 원리(mechanism)로 이용된다. 상기 고정막(44)의 자화 방향은 통상적인 판독/기록 동작 중에는 변하지 않는다. 상기 피닝층(42)은 상기 고정막(44)의 자화 방향을 고정하는 역할을 하며, 복수의 층으로 구성될 수도 있다. 이에 비해, 상기 자유막(48)은 상기 고정막(44)의 자화 방향에 대해 변할 수 있으며, 이때 허용되는 자화 방향은 상기 고정막(44)의 자화 방향과 같거나 반대이다.

<26> 특정한 셀에 저장된 정보를 판독하는 과정은 상기 워드 라인(15)과 비트 라인(50)을 선택한 후, 이를 흐르는 전류를 측정함으로써 가능하다. 이때, 상기 두 자성막들(44, 48) 사이의 자화 방향에 따라, 상기 전류의 크기는 큰 차이를 갖는다. 상기 전류 크기의 차이는 저장된 정보의 차이를 나타낸다. 이에 비해, 상기 자유막(48)의 자화 방향을 변

화시키는 과정, 즉 정보를 기록하는 과정은 상기 비트 라인(50) 및 디짓 라인(30)을 흐르는 전류에 의해 형성된 자기장을 조절함으로써 가능하다. 이때, 자기 메모리의 성능을 향상시키기 위해서는, 상기 비트 라인(50) 및 디짓 라인(30)에서 발생하는 자기장의 크기를 증가시키는 방법이 사용될 수 있다. 하지만, 각 라인들(30, 50)에 생성된 자기장의 크기가 증가할 경우, 그 라인에 접속된 다른 셀들이 교란(disturbance)될 수 있다. 또한, 통상적으로 상기 자기장의 크기를 증가시키기 위해서는 흐르는 전류의 크기를 증가시키는 것이 요구되지만, 이는 소모 전력의 증가를 유발하므로 바람직하지 않다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자 하는 기술적 과제는 합성적인 자기장(resultant magnetic field)의 크기를 증가시킬 수 있는 자기 메모리를 제공하는 데 있다.

<28> 본 발명이 이루고자 하는 다른 기술적 과제는 합성적인 자기장의 크기를 증가시킬 수 있는 자기 메모리의 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<29> 상기 기술적 과제를 달성하기 위하여, 본 발명은 비스듬히 교차하는 비트 라인과 디짓 라인을 구비하는 자기 메모리를 제공한다. 이 자기 메모리는 한 평면에 배치되는 복수개의 디짓 라인들, 상기 디짓 라인들을 가로지르면서 또다른 평면에 배치되는 복수개의 비트라인들 및 상기 비트라인과 상기 디짓 라인 사이에 개재된 자기 터널 접합을 포함한다. 이때, 상기 디짓 라인과 상기 비트 라인은 서로 비스듬하게 교차하는 것을 특징으로 한다.

- <30> 바람직하게는, 상기 디짓 라인과 상기 비트 라인 사이의 교각(angle of intersection)은 15 내지 75도이다. 또한, 상기 자기 터널 접합은 상기 비트 라인과는 전기적으로 연결되고, 상기 디짓 라인으로부터는 이격된다.
- <31> 한편, 상기 비트 라인들, 디짓 라인들 및 자기 터널 접합들은 반도체기판 상에 배치될 수 있다. 이 경우, 상기 반도체기판 상에는 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들이 더 배치된다. 상기 셀 트랜지스터들은 각각 게이트 전극, 소오스 영역 및 드레인 영역을 구비하고, 상기 셀 트랜지스터들의 게이트 전극들은 복수개의 워드 라인들에 의해 연결된다.
- <32> 상기 디짓 라인은 상기 워드 라인에 평행하고, 상기 비트 라인은 상기 워드 라인을 비스듬히 교차할 수 있다. 이 경우, 상기 비트 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 드레인 영역들을 대각선으로 연결하거나 행/열방향으로 연결할 수도 있다. 드레인 영역을 행 또는 열 방향으로 연결할 경우, 상기 비트 라인은 갈지자(zigzag) 모양인 것이 바람직하다.
- <33> 상기 비트 라인은 상기 워드 라인에 수직하고, 상기 디짓 라인은 상기 워드 라인을 비스듬히 교차할 수 있다. 이 경우, 상기 디짓 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 상부를 대각선 또는 갈지자 모양으로 가로지른다.
- <34> 상기 자기 터널 접합은 차례로 적층된 피닝막, 고정막, 절연막 및 자유막으로 구성된다. 이때, 상기 고정막은 차례로 적층된 하부 강자성막, 루세늄막 및 상부 강자성막으로 이루어질 수 있다. 이에 더하여, 상기 자기 터널 접합의 모양은 모서리가 라운드된, 직사각형 및 평행사변형 중의 한가지인 것이 바람직하다.

- <35> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 비트 라인과 디짓 라인이 비스듬히 교차하도록 자기 메모리를 형성하는 방법을 제공한다. 이 방법은 복수개의 디짓 라인들을 형성하고, 그 결과물 전면에 상부 층간절연막을 형성하고, 상기 상부 층간절연막 상에 자기 터널 접합을 형성한 후, 상기 자기 터널 접합에 직접 연결되는 비트 라인을 형성하는 단계를 포함한다. 이때, 상기 디짓 라인과 상기 비트 라인은 비스듬히 교차하도록 형성하는 것을 특징으로 한다.
- <36> 상기 디짓 라인들은 반도체기판 상에 형성할 수 있다. 이 경우, 상기 디짓 라인을 형성하기 전에, 상기 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열되는 셀 트랜지스터들을 형성한 후, 그 결과물의 전면을 덮는 하부 층간절연막을 형성하는 단계를 더 포함할 수도 있다. 이 때, 상기 셀 트랜지스터를 형성하는 단계는 상기 반도체기판의 소정영역에 소자분리막을 형성하여 활성영역들을 한정하고, 상기 활성영역들을 가로지르는 복수개의 워드 라인들을 형성한 후, 상기 워드라인들 사이의 활성영역에 드레인 영역 및 소오스 영역을 형성하는 단계를 포함한다.
- <37> 한편, 상기 자기 터널 접합을 형성하기 전에, 상기 드레인 영역과 상기 자기 터널 접합을 전기적으로 연결시키도록, 상기 상부 층간절연막 및 상기 하부 층간절연막을 관통하여 상기 드레인 영역에 접속하는 수직 배선을 더 형성할 수도 있다. 상기 자기 터널 접합은 라운드된 모서리를 갖는 직사각형 또는 평행사변형의 모양으로 형성될 수 있다.
- <38> 또한, 상기 하부 층간절연막을 형성하는 단계는 상기 셀 트랜지스터를 포함하는 반도체기판의 전면에서 제 1 하부 층간절연막을 형성한 후, 이를 관통하여 상기 드레인 영역 및 소오스 영역에 접속하는 콘택 플러그들을 형성하는 단계를 포함하는 것이 바람직하

다. 이후, 상기 제 1 하부 층간절연막 상에 상기 콘택 플러그의 상부를 지나는 제 1 금속 패턴을 형성하고, 상기 제 1 금속 패턴을 포함하는 반도체기판의 전면에 제 2 하부 층간절연막을 형성한 후, 상기 제 2 하부 층간절연막을 관통하여 상기 제 1 금속 패턴에 접속하는 비아 플러그를 형성하는 단계를 더 포함한다. 상기 제 1 및 제 2 하부 층간절연막은 상기 하부 층간절연막을 구성한다. 이때, 상기 제 1 금속 패턴은 소오스 라인 또는 비아 플러그의 패드로 사용될 수 있다. 상기 소오스 라인은 상기 소오스 영역에 접속된 콘택 플러그들을 연결하도록 형성된다. 상기 비아 플러그의 패드는 상기 드레인 영역에 접속하는 콘택 플러그와 상기 비아 플러그를 연결하도록 형성된다.

<39> 본 발명에 따르면, 상기 디짓 라인 또는 상기 비트 라인은 상기 워드 라인을 비스듬히 교차하도록 형성할 수 있다. 이를 위해, 상기 디짓 라인 및 비트 라인은 2차원적으로 배열되는 셀 트랜지스터들의 상부를 지그재그 또는 대각선으로 지날 수 있다. 한편, 상기 비트 라인은 2 차원적으로 배열된 셀 트랜지스터들의 드레인 영역을 연결한다.

<40> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<41> 본 발명에 따른 자기 메모리의 단위 셀은 서로 다른 층에 형성되는 디짓 라인, 비트 라인 및 이들 사이에 개재되는 자기 터널 접합을 포함한다. 자기 메모리의 셀들은 평면적으로 배열될 뿐만 아니라 입체적으로 배열될 수도 있다. 즉, 상기 자기 메모리의 셀들을 포함하는 평면은 복수개일 수 있다.

<42> 이에 더하여, 본 발명에 따른 자기 메모리는 트랜지스터들이 형성되는 반도체기판을 구비하거나 구비하지 않는 실시예 모두 가능하다. 즉, 상기 단위 셀은 트랜지스터를 구비하지 않고, 한 개의 터널링 자기저항성(tunneling magnetoresistive, TMR) 소자로만 구성될 수도 있다. 이 경우, 상기 자기 메모리는 트랜지스터들로 구성되는 기능 회로에 연결될 수 있다. 그 연결 방법은 칩 패키지(chip package)에 사용되는 와이어 본딩(wire bonding), 플립칩 본딩(flip-chip bonding), 솔더 범프(solder bumps)를 이용한 연결 등의 방법이 사용될 수 있다. 이처럼 TMR 소자로만 구성된 자기 메모리를 반도체기판에 형성되는 기능 회로에 연결하는 실시예는 당업자에 의해 쉽게 구체화될 수 있다. 따라서, 아래에서는 본 발명의 바람직한 실시예에 따른 자기 메모리(즉, 트랜지스터들을 구비하는 반도체기판 상에 형성된 자기 메모리) 및 그 제조 방법에 대해 상세하게 설명한다.

<43> 도 5는 본 발명의 제 1 및 제 2 실시예를 설명하기 위해, 자기 메모리(MRAM)의 셀 어레이 일부분을 나타내는 회로도이다.

<44> 도 5를 참조하면, 복수개의 셀 트랜지스터들이 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 셀 트랜지스터들은 각각 게이트(G), 소오스(S) 및 드레인(D)을 구비하면서 반도체기판에 형성되는 MOSFET으로, 복수개의 워드 라인들(WL) 및 비트 라인들(BL)에 의해 연결된다. 상기 워드 라인들(WL) 및 비트 라인들(BL)은 각각 행 방향 및 열 방향을 따라 배열되어, 상기 셀 트랜지스터들의 게이트들(G) 및 드레인들(D)에 접

속된다. 상기 비트 라인(BL)과 상기 셀 트랜지스터들 사이에는 자기 터널 접합(magnetic tunnel junction, MTJ)이 배치된다. 상기 MTJ는 MRAM에서 정보 저장을 위한 구조로 사용된다.

<45> 상기 셀 트랜지스터들을 가로지르는 복수개의 디짓 라인들(DL)이 배치된다. 상기 디짓 라인(DL)은 상기 워드 라인들(WL)에 평행한 방향으로 배치된다. 결과적으로, 상기 워드 라인들(WL)과 상기 디짓 라인들(DL)은 모두 상기 비트 라인들(BL)을 가로지른다.

<46> 이때, 특정한 셀 트랜지스터를 선택하는 소정의 워드 라인(WL), 비트 라인(BL) 및 디짓 라인(DL)을 고려할 때, 상기 워드 라인(WL)과 상기 디짓 라인(DL)에 의해 선택되는 셀 트랜지스터들은 동일하다. 즉, 상기 워드 라인(WL)과 상기 디짓 라인(DL)은 같은 방향으로 배치된 셀 트랜지스터들을 연결한다. 이에 비해, 상기 비트 라인(BL)은 상기 워드 라인(WL) 및 디짓 라인(DL)에 수직한 방향으로 배치된 셀 트랜지스터들을 연결한다. 상기 디짓 라인(DL) 및 비트 라인(BL)이 셀 트랜지스터들을 대각선으로 연결하지 않는다는 점에서, 이후 설명될 제 3 및 제 4 실시예들과 차이가 있다.

<47> 도 8a 및 도 8b는 본 발명의 제 1 실시예 및 그 변형예에 따른 MRAM의 셀 어레이 일부분을 나타내는 공정 평면도들이다. 이 실시예들은 도 5에 도시된 회로도를 통해 표현된다. 도 18은 도 8a, 도 8b, 도 9a, 9b, 10a, 10b, 11a 및 11b의 I-I'을 따라, 본 발명의 실시예에 따른 MRAM의 셀 어레이 일부분을 나타내는 공정 단면도이다.

<48> 도 5, 도 8a 및 도 18을 참조하면, 반도체기판(100)의 소정영역에 소자분리막(110)이 배치된다. 상기 소자분리막(110)은 2차원적으로 배열된 복수개의 활성영역들(105)을 한정한다. 상기 활성영역들(105) 및 소자분리막(110)을 가로질러 복수개의 절연된 게이트 전극들(130), 즉 복수개의 워드라인들이 배치된다. 상기 게이트 전극들(130)은 열 방

향(y축)과 평행하다. 상기 활성영역들(105)의 각각은 상기 한 쌍의 게이트 전극들(130)과 교차한다. 이에 따라, 상기 각 활성영역(105)은 3개의 부분으로 나누어진다. 상기 한 쌍의 게이트 전극들(130) 사이의 활성영역(105)에는 공통 소오스 영역(150s)이 형성되고, 상기 공통 소오스 영역(150s)의 양 옆의 활성영역들(105)에는 드레인 영역들(150d)이 형성된다. 따라서, 상기 게이트 전극들(130) 및 상기 활성영역들(105)이 교차하는 지점들(points)에 셀 트랜지스터들이 형성된다. 결과적으로, 셀 트랜지스터들은 열 방향 및 행 방향을 따라 2 차원적으로 배열된다.

<49> 상기 셀 트랜지스터들을 갖는 반도체기판의 전면은 차례로 적층된 제 1 하부 층간절연막(160) 및 제 2 하부 층간절연막(190)으로 구성된, 하부 층간절연막에 의해 덮여진다. 상기 제 1 하부 층간절연막(160)을 관통하여, 상기 공통 소오스 영역(150s) 및 드레인 영역(150d)에 접속하는 콘택 플러그들(170)이 배치된다. 상기 제 1 하부 층간절연막(160) 상에는, 상기 공통 소오스 영역(150s)에 접속하는 콘택 플러그들(170)을 연결하는 소오스 라인(180s)이 배치된다. 바람직하게는 상기 소오스 라인(180s)은 한 개의 워드 라인(130) 옆에 위치한 복수개의 공통 소오스 영역들(150s)을 연결한다. 이에 따라, 상기 소오스 라인(180s)은 상기 워드 라인(130)에 평행하다. 상기 제 1 하부 층간절연막(160) 상에는, 상기 콘택 플러그(170)를 통해 상기 드레인 영역(150d)에 접속하는 제 1 금속 패턴(180)이 배치된다. 상기 제 1 금속 패턴(180)과 소오스 라인(180s)은 두께 및 물질의 종류가 동일한 것이 바람직하다. 상기 제 2 하부 층간절연막(190)은 상기 제 1 금속 패턴(180) 및 소오스 라인(180s)을 포함하는 반도체기판의 전면을 덮는다. 상기 제 2 하부 층간절연막(190)을 관통하면서, 상기 제 1 금속 패턴(180)의 상부면에 접속하는 비아 플러그들(200)이 배치된다.

<50> 상기 제 2 하부 층간절연막(190) 상에는 상기 활성영역들(105) 및 소자분리막(110)을 가로지르되, 상기 워드 라인(130)을 비스듬하게 교차하는 디짓 라인들(210)이 배치된다. 상기 디짓 라인들(210) 사이에 충분한 이격 거리(space)를 확보하기 위해, 이 실시예에서 상기 디짓 라인들(210)은 서로 평행한, 갈지자(zigzag) 모양인 것이 바람직하다. 상기 제 2 하부 층간절연막(190) 상에는 상기 디짓 라인들(210)으로부터 이격되어, 상기 비아 플러그(200)에 연결되는 제 2 금속 패턴(215)이 배치되는 것이 바람직하다. 결과적으로, 상기 제 2 금속 패턴(215)은 상기 드레인 영역(150d)에 접속된다. 상기 제 2 금속 패턴(215) 및 상기 디짓 라인(210)은 두께 및 물질의 종류가 동일한 것이 바람직하다.

<51> 상기 디짓 라인들(210)을 갖는 반도체기판의 전면은 상부 층간절연막에 의해 덮여진다. 바람직하게는, 상기 상부 층간절연막은 차례로 적층된 제 1 상부 층간절연막(220) 및 제 2 상부 층간절연막(250)으로 구성된다. 상기 제 1 상부 층간절연막(220) 상에는 상기 디짓 라인(210)의 상부를 지나는 하부 전극(230)이 배치된다. 상기 하부 전극(230)은 상기 제 1 상부 층간절연막(220)을 관통하는 도전 패턴(225)에 의해 상기 제 2 금속 패턴(215)에 연결된다.

<52> 상기 하부 전극(230)을 포함하는 반도체기판의 전면은 상기 제 2 상부 층간절연막(250)에 의해 덮여진다. 상기 제 2 상부 층간절연막(250) 상에는 상기 워드 라인(130)을 수직하게 가로지르는 복수개의 비트 라인들(260)이 배치된다. 이에 따라, 한 개의 비트 라인(260)은 상기 디짓 라인(210)과 비스듬한 교각을 형성하면서 복수개의 디짓 라인들(210)을 가로지른다. 상기 교각은 15°내지 75°인 것이 바람직하다.

<53> 한 개의 비트 라인(BL)과 상기 디짓 라인들(DL)이 교차하는 영역들은 평행사변형을 이루고, 이들 영역들은, 도시된 것처럼, 평행 이동 대칭성(translation symmetry)을 갖는다. 이에 비해, 한 개의 워드 라인(130)은 동일한 디짓 라인(210)과 반복적으로 교차한다. 이에 따라, 상기 워드 라인(WL)과 디짓 라인(DL)이 교차하는 영역들은, 도시된 것처럼, 반복적인 거울 대칭성(mirror symmetry)을 갖는다.

<54> 상기 비트 라인(260)과 상기 하부 전극(230)은 상기 제 2 상부 층간절연막(250)을 관통하는 자기 터널 접합(240)에 의해 연결된다. 상기 자기 터널 접합(240)은 차례로 적층된 피닝막(pinning layer, 242), 고정막(fixed layer, 244), 절연막(246) 및 자유막(free layer, 248)으로 구성된다. 상기 피닝막(242)은 IrMn, PtMn, MnO, MnS, MnTe, MnF₂, FeF₂, FeCl₂, FeO, CoCl₂, CoO, NiCl₂, NiO 및 Cr 등과 같은 반강자성막들(anti-ferromagnetic layers) 중에서 선택된 적어도 한가지로 이루어지는 것이 바람직하다. 상기 고정막(244) 및 자유막(248)은 각각 Fe, Co, Ni, Gd, Dy, MnAs, MnBi, MnSb, CrO₂, MnOFe₂O₃, FeOFe₂O₃, NiOFe₂O₃, CuOFe₂O₃, MgOFe₂O₃, EuO 및 Y₃Fe₅O₁₂ 등과 같은 강자성막들(ferromagnetic layers) 중에서 선택된 적어도 한가지로 이루어지는 것이 바람직하다. 특히, 상기 고정막(244)은 상술한 강자성 물질들 사이에 루세늄막(Ru)이 더 개재되는 3층 구조일 수 있다. 상기 절연막(246)은 알루미늄 산화막인 것이 바람직하다.

<55> 상기 자기 터널 접합(240)은 직사각형의 모양을 갖는데, 도시한 것처럼 상기 비트 라인(260) 방향의 길이가 더 짧은 직사각형인 것이 바람직하다. 또는, 상기 자기 터널 접합(240)은 도 8b에 도시한 것처럼 평행사변형의 모양을 가질 수 있다. 이에 더하여, 상기 자기 터널 접합(240)의 모서리는 라운딩될 수도 있다.

- <56> 도 9a는 본 발명의 제 2 실시예에 따른 MRAM의 셀 어레이 일부분을 나타내는 공정 평면도이다. 이 제 2 실시예는 제 1 실시예와 동일하게, 도 5에 도시된 회로도를 통해 표현되며, 제 1 실시예와 비교할 때 디짓 라인(DL)과 비트 라인(BL)의 배치 방법에서 다르다. 따라서, 제 1 실시예와의 중복되는 설명은 최소화하면서, 도 9a를 참조하여 본 발명의 제 2 실시예를 설명한다.
- <57> 도 5, 도 9a 및 도 18을 참조하면, 복수개의 디짓 라인들(210)이 상기 제 2 하부 층간절연막(190) 상에 배치되어, 상기 활성영역들(105) 및 소자분리막(110)을 수직하게 가로지른다. 이에 따라, 상기 디짓 라인들(210)은 상기 워드 라인들(130)과 평행하다.
- <58> 상기 제 2 상부 층간절연막(250) 상에는, 상기 디짓 라인들(210)을 비스듬하게 가로지르는 복수개의 비트 라인들(260)이 배치된다. 상기 비트 라인들(260) 사이에 충분한 이격 거리를 확보하기 위해, 상기 비트 라인들(260)은 서로 평행한 갈지자 모양인 것이 바람직하다. 한 개의 비트 라인(260)과 상기 디짓 라인들(210)이 교차하는 영역들은 평행사변형을 이루고, 이들 영역들은, 도시된 것처럼, 반복적인 거울 대칭성(mirror symmetry)을 갖는다.
- <59> 상기 비트 라인들(260)과 상기 디짓 라인들(210) 사이에는 제 1 실시예에서와 동일하게 자기 터널 접합(240)이 배치된다. 상기 자기 터널 접합(240)은 상기 비트 라인(260) 방향의 길이가 더 짧은 직사각형의 모양인 것이 바람직하다. 한편, 상기 자기 터널 접합(240)은 도 9b에 도시한 것처럼 평행사변형의 모양을 가질 수 있다. 상기 자기 터널 접합(240)의 모서리는 라운딩될 수도 있다.
- <60> 도 6은 본 발명의 제 3 실시예를 설명하기 위해, 자기 메모리(MRAM)의 셀 어레이의 일부분을 나타내는 회로도이다. 도 10a는 본 발명의 제 3 실시예에 따른 MRAM의 셀 어레이

이 일부분을 나타내는 공정 평면도이다. 이 제 3 실시예는 도 6에 도시된 회로도들 통해 표현되며, 디짓 라인(DL)이 배치되는 방법에서 제 1 실시예와 다르다. 따라서, 제 1 실시예와의 중복되는 설명은 최소화하면서, 도 10a를 참조하여 본 발명의 제 3 실시예를 설명한다.

<61> 도 6, 도 10a 및 도 18을 참조하면, 이 실시예에서의 디짓 라인들(DL)은 2차원적으로 배열된 셀 트랜지스터들의 상부를 대각선으로 가로지른다. 워드 라인들(130) 및 비트 라인들(260)을 포함하는 다른 구성 요소들은 제 1 실시예에서 설명한 바와 동일하다. 이에 따라, 한 개의 디짓 라인(210)은 워드 라인(130) 및 비트 라인(260) 모두를 비스듬히 교차한다. 또한, 상기 교차하는 영역들은 평행사변형의 모양인 것이 바람직하고, 행 방향 및 열 방향에서 평행 이동 대칭성을 갖는다.

<62> 한편, 이 실시예에 따르면, 상기 워드 라인(130)과 디짓 라인(210)은 서로 평행하지 않다. 이에 따라, 판독 모드에서 한 개의 워드 라인(130)에 의해 선택되는 셀 트랜지스터들은 기록 모드에서 한 개의 디짓 라인(210)에 의해 선택되는 셀 트랜지스터들과 동일하지 않다. 통상적으로, 단지 한개의 셀 트랜지스터가 두 모드들에서 중복 선택된다.

<63> 상기 비트 라인들(260)과 상기 디짓 라인들(210) 사이에는 제 1 실시예에서와 동일하게 자기 터널 접합(240)이 배치된다. 상기 자기 터널 접합(240)은 상기 비트 라인(260) 방향의 길이가 더 짧은 직사각형의 모양인 것이 바람직하다. 한편, 상기 자기 터널 접합(240)은 도 10b에 도시한 것처럼 평행사변형의 모양을 가질 수 있다. 상기 자기 터널 접합(240)의 모서리는 라운딩될 수도 있다.

<64> 도 7은 본 발명의 제 4 실시예를 설명하기 위해, 자기 메모리(MRAM)의 셀 어레이의 일부분을 나타내는 회로도이다. 도 11a는 본 발명의 제 4 실시예에 따른 MRAM의 셀 어레이

이 일부분을 나타내는 공정 평면도들이다. 이 제 4 실시예는 도 7에 도시된 회로도를 통해 표현되며, 비트 라인(BL)이 배치되는 방법에서 제 2 실시예와 다르다. 따라서, 제 2 실시예와의 중복되는 설명은 최소화하면서, 도 11a를 참조하여 본 발명의 제 4 실시예를 설명한다.

<65> 도 7, 도 11a 및 도 18을 참조하면, 이 실시예에서의 비트 라인들(BL)은 2차원적으로 배열된 셀 트랜지스터들의 상부를 대각선으로 가로지른다. 워드 라인들(130) 및 디짓 라인들(210)을 포함하는 다른 구성 요소들은 제 2 실시예에서 설명한 바와 동일하다. 이에 따라, 한 개의 비트 라인(260)은 워드 라인(130) 및 디짓 라인(210) 모두를 비스듬히 교차한다. 또한, 상기 교차하는 영역들은 평행사변형의 모양인 것이 바람직하고, 행 방향 및 열 방향에서 평행 이동 대칭성을 갖는다.

<66> 상기 비트 라인들(260)과 상기 디짓 라인들(210) 사이에는 제 2 실시예에서와 동일하게 자기 터널 접합(240)이 배치된다. 상기 자기 터널 접합(240)은 상기 비트 라인(260) 방향의 길이가 더 짧은 직사각형의 모양인 것이 바람직하다. 한편, 상기 자기 터널 접합(240)은 도 11b에 도시한 것처럼 평행사변형의 모양을 가질 수 있다. 상기 자기 터널 접합(240)의 모서리는 라운딩될 수도 있다.

<67> 도 12는 본 발명의 제 1 및 제 3 실시예에 따른 자기 메모리를 상세하게 설명하기 위한 사시도이다.

<68> 도 12를 참조하면, 행 방향(x축 방향)을 따라 비트 라인(260)이 배치된다. 상기 비트 라인(260)의 아래에는 각 셀마다 하부 전극(230)이 한 개씩 배치된다. 상기 하부 전극(230)과 상기 비트 라인(260) 사이에는 자기 터널 접합(240)이 개재된다. 상기 자기 터널 접합(240)은 차례로 적층된 피닝막(242), 고정막(244), 절연막(246) 및 자유막

(248)으로 구성된다. 상기 피닝막(242) 및 상기 자유막(248)은 각각 상기 하부 전극(230) 및 상기 비트 라인(260)에 직접 연결된다. 상기 하부 전극(230) 아래에는, 상기 비트 라인(260)에 비스듬한 디짓 라인(210)이 배치된다. 상기 하부 전극(230)과 상기 디짓 라인(210)은 서로 이격된다. 상기 하부 전극(230)은 셀 트랜지스터의 드레인 영역에 접속하기 위한 도전 패턴(225)에 연결된다.

<69> 이 실시예들에 따르면, 도시된 것처럼, 상기 디짓 라인(210)은 상기 워드 라인 방향에 비스듬하고, 상기 비트 라인(260)은 상기 워드 라인 방향(y축 방향)에 수직하다.

<70> 도 13은 본 발명의 제 2 및 제 4 실시예에 따른 자기 메모리를 나타내는 사시도이다.

<71> 도 13을 참조하면, 열 방향(y축 방향)을 따라 디짓 라인(210)이 배치된다. 상기 디짓 라인(210)의 상부에는 각 셀마다 하부 전극(230)이 한 개씩 배치된다. 상기 하부 전극(230)은 상기 디짓 라인(210)에 수직한 방향(x축 방향)인 것이 바람직하며, 상기 하부 전극(230)과 상기 디짓 라인(210)은 서로 이격된다. 또한, 상기 하부 전극(230)의 소정 영역에는 셀 트랜지스터의 드레인 영역에 접속하기 위한 도전 패턴(225)이 배치된다.

<72> 상기 하부 전극(230)의 상부에는 상기 디짓 라인(210)을 비스듬히 가로지르는 비트 라인(260)이 배치된다. 상기 하부 전극(230)과 상기 비트 라인(260) 사이에는 자기 터널 접합(240)이 개재된다. 상기 자기 터널 접합(240)은 차례로 적층된 피닝막(242), 고정막(244), 절연막(246) 및 자유막(248)으로 구성된다. 상기 피닝막(242) 및 상기 자유막(248)은 각각 상기 하부 전극(230) 및 상기 비트 라인(260)에 직접 연결된다.

- <73> 이 실시예에 따르면, 도시된 것처럼, 상기 디짓 라인(210)은 상기 워드 라인 방향(y축 방향)과 평행하고, 상기 비트 라인(260)은 상기 워드 라인 및 상기 디짓 라인(210)에 비스듬하다.
- <74> 도 14는 비트 라인(260)과 디짓 라인(210)이 비스듬하게 교차할 경우, 그에 따른 효과를 이해하기 위해 실시한 시뮬레이션의 결과를 나타내는 그래프이다.
- <75> 도 14를 참조하면, 시뮬레이션 기술을 사용하여, 비트 라인(260)과 디짓 라인(210) 사이의 교각이 각각 90° (301), 75° (302), 60° (303), 45° (304) 및 30° (305)인 경우, 셀의 정보를 변화시키기 위해 필요한 상기 비트 라인(260) 및 디짓 라인(210)의 전류를 알아보았다. 그래프에서 상기 디짓 라인(210)의 전류가 7mA일 때, 상기 비트 라인(260)의 전류는 상기 교각이 90° 인 경우 및 60° 인 경우에 각각 대략 8mA 및 4mA였다.
- <76> 이러한 결과는 상기 자유막(248)의 자화 방향을 변화시키는 자기장의 크기(magnitude of a magnetic field)는, 상기 디짓 라인(210)과 비트 라인(260)을 흐르는 전류들에 의해 발생하는 자기장들의 내적(scalar product of magnetic field)에 의해 결정된다는 사실로부터 이해될 수 있다. 즉, 90° 내지 0° 의 범위에서는 θ 의 크기가 감소할수록 $\cos\theta$ 의 값이 증가하므로, 상기 디짓 라인(210)과 비트 라인(260) 사이의 교각이 감소할수록 합성적인 자기장의 크기(magnitude of resultant magnetic field)는 증가한다. 따라서, 상기 교각이 감소할수록, 도시된 것처럼, 셀의 정보를 쉽게 변화시킬 수 있음을 알 수 있다.
- <77> 결과적으로, 상기 시뮬레이션의 결과는 비트 라인(260)과 디짓 라인(210)이 비스듬하게 교차할 경우, 각 라인들(260, 210)을 흐르는 전류를 감소시킬 수 있음을 의미한다.

이에 따라, 기록 모드에서의 소모 전력을 감소시킬 수 있으며, 각 라인들에 연결된 자기 터널 접합들이 교란되는 현상을 최소화할 수 있다.

<78> 도 15 내지 도 18은 본 발명의 제 1 실시예에 따른 자기 메모리의 제조 방법을 나타내는 공정 단면도들로서, 도 8a의 I-I'을 따라 보여지는 단면들을 나타낸다. 본 발명의 다른 가능한 실시예들은 (해당하는 부분에서) 도 8b, 도 9a, 도 9b, 도 10a, 도 10b, 도 11a 및 도 11b에 도시한 평면도들을 참고하여 설명하기로 한다.

<79> 도 15를 참조하면, 반도체기판(100)의 소정영역에 소자분리막(110)을 형성하여, 복수개의 활성영역들(105)을 한정한다. 상기 활성영역들(105)을 갖는 반도체기판의 전면에 게이트 절연막 및 게이트 도전막을 차례로 형성한다. 상기 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들(105) 및 소자분리막(110)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(135)을 형성한다. 상기 게이트 패턴들(135)의 각각은 차례로 적층된 게이트 절연막 패턴(120) 및 게이트 전극(130)으로 구성된다. 여기서, 상기 활성영역들(105)의 각각은 상기 한 쌍의 게이트 전극들(130)과 교차한다. 상기 게이트 패턴(135)은 상기 게이트 전극(130) 상에 형성되는 캐핑 패턴을 더 구비할 수도 있다. 상기 게이트 전극(130)은 워드 라인(word line)에 해당한다.

<80> 상기 게이트 패턴(135) 및 상기 소자분리막(110)을 이온 주입 마스크들로 사용하여, 상기 활성영역들(105)에 불순물 이온들을 주입한다. 그 결과, 상기 각 활성영역(105)에는 3개의 불순물 영역들이 형성된다. 이들 3개의 불순물 영역들 중 가운데의 불순물 영역은 공통 소오스 영역(150s)에 해당하고, 나머지 불순물 영역들은 드레인 영역(150d)에 해당한다. 이에 따라, 상기 각 활성영역(105)에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(100)에 행 방향 및 열 방향을

따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(135)의 측벽에 통상의 방법을 사용하여 스페이서(140)를 형성한다.

<81> 도 16을 참조하면, 상기 스페이서(140)를 갖는 반도체기판의 전면에서, 제 1 하부 층간절연막(160)을 형성한다. 상기 제 1 하부 층간절연막(160)을 패터닝하여, 상기 소오스/드레인 영역들(150s, 150d)을 노출시키는 콘택홀을 형성한다. 상기 콘택홀 내에 통상의 방법을 사용하여 상기 소오스/드레인 영역들(150s, 150d)에 연결되는 콘택 플러그들(170)을 형성한다. 상기 콘택 플러그들(170)을 갖는 반도체기판의 전면에서 제 1 금속막을 형성한다. 상기 제 1 금속막을 패터닝하여, 상기 콘택 플러그들(170)을 덮는 제 1 금속 패턴(180) 및 소오스 라인(180s)을 형성한다. 상기 소오스 라인(180s)은 상기 콘택 플러그(170)를 통해 상기 공통 소오스 영역들(150s)에 연결된다. 바람직하게는, 상기 한 쌍의 게이트 패턴들(135) 사이의 활성영역(105)에 형성된 상기 소오스 영역들(150s)은 상기 소오스 라인(180s)을 통해 열 방향으로 연결된다. 상기 제 1 금속 패턴(180)은 상기 콘택 플러그(170)보다 넓은 폭을 가지면서, 상기 소오스 라인(180s)으로부터 이격된다.

<82> 상기 제 1 금속 패턴(180) 및 소오스 라인(180s)을 갖는 반도체기판의 전면에서, 제 2 하부 층간절연막(190)을 형성한다. 이때, 상기 제 1 및 제 2 하부 층간절연막(160, 190)은 층간절연막을 구성한다. 상기 제 2 하부 층간절연막(190)을 패터닝하여, 상기 제 1 금속 패턴(180)의 상부면을 노출시키는 제 1 비아 홀을 형성한다. 상기 제 1 비아 홀은 소정 영역에서 상기 소오스 라인(180s)의 상부면도 노출시킨다. 상기 제 1 비아 홀을 채우는 복수개의 비아 플러그들(200)을 형성한다.

- <83> 도 17을 참조하면, 상기 비아 플러그들(200)을 포함하는 반도체기판의 전면에서 제 2 금속막을 형성한다. 상기 제 2 금속막을 패터닝하여 복수개의 제 2 금속 패턴들(215) 및 디짓 라인들(210)을 형성한다. 상기 제 2 금속 패턴(215)은 상기 비아 플러그들(200)의 상부면을 덮도록 형성되고, 상기 디짓 라인(210)은 상기 활성영역들(105) 및 소자분리막(110)을 가로지르며, 상기 워드 라인(130)을 경사지게 교차하도록 형성된다. 상기 디짓 라인들(210) 사이의 쇼트를 예방하기 위해, 상기 디짓 라인들(210)은 갈지자(zigzag) 모양으로 형성되는 것이 바람직하다.
- <84> 상기 디짓 라인들(210)은 도 9a, 도 9b, 도 11a 및 도 11b에 도시한 것처럼, 상기 워드 라인(130)에 평행한 직선으로 형성할 수도 있다. 또한, 상기 디짓 라인들(210)은 도 10a 및 도 10b에 도시한 것처럼, 2차원적으로 배열된 상기 셀 트랜지스터들의 상부면을 대각선으로 가로지르도록 형성할 수도 있다.
- <85> 상기 제 2 금속 패턴들(215) 및 디짓 라인들(210)이 형성된 반도체기판의 전면에서, 제 1 상부 층간절연막(220)을 형성한다. 상기 제 1 상부 층간절연막(220)을 형성하는 단계는 상기 디짓 라인(210) 위에 잔존하는 상기 제 1 상부 층간절연막(220)의 두께를 균일하게 하기 위한 공정 단계, 예를 들면 평탄화 식각 공정 단계를 더 포함할 수 있다.
- <86> 상기 제 1 상부 층간절연막(220)을 패터닝하여, 상기 제 2 금속 패턴(215)의 상부면을 노출시키는 제 2 비아 홀을 형성한다. 이후, 상기 제 2 비아 홀을 채움으로써, 상기 드레인 영역(150d)에 연결되는 도전 패턴(225)들을 형성한다.
- <87> 한편, 상기 제 2 금속막이 상기 비아 홀을 채우도록 형성함으로써, 상기 비아 플러그(200)는 상기 제 2 금속 패턴(215) 및 디짓 라인(210)과 동시에 형성될 수도 있다.

<88> 도 18을 참조하면, 상기 제 1 상부 층간절연막(220) 상에 상기 도전 패턴(225)에 접속하는 하부 전극(230) 및 자기 터널 접합(240)을 형성한다. 상기 하부 전극(230)은 상기 도전 패턴(225)의 상부면에 접속하면서, 상기 디짓 라인(210)의 상부를 지나도록 형성된다. 상기 디짓 라인(210)과 상기 하부 전극(230)은 소정의 높이, 바람직하게는 상기 도전 패턴의 높이만큼 이격된다. 상기 도전 패턴(225)은 상기 하부 전극(230)이 상기 제 2 비아 홀을 채우도록 형성함으로써, 상기 하부 전극(230)과 동시에 형성할 수도 있다.

<89> 상기 자기 터널 접합(240)은 차례로 적층된 피닝막(242), 고정막(244), 절연막(246) 및 자유막(248)을 포함한다. 상기 피닝막(242)은 IrMn, PtMn, MnO, MnS, MnTe, MnF₂, FeF₂, FeCl₂, FeO, CoCl₂, CoO, NiCl₂, NiO 및 Cr 등과 같은 반강자성막들(anti-ferromagnetic layers) 중에서 선택된 적어도 한가지로 형성하는 것이 바람직하다. 상기 고정막(244) 및 자유막(248)은 각각 Fe, Co, Ni, Gd, Dy, MnAs, MnBi, MnSb, CrO₂, MnOFe₂O₃, FeOFe₂O₃, NiOFe₂O₃, CuOFe₂O₃, MgOFe₂O₃, EuO 및 Y₃Fe₅O₁₂ 등과 같은 강자성막들(ferromagnetic layers) 중에서 선택된 적어도 한가지로 형성하는 것이 바람직하다. 특히, 상기 고정막(244)은 상술한 강자성 물질들로 형성되는 상부고정막과 하부고정막 사이에 루세늄막(Ru)이 더 개재되는 3층 구조로 형성할 수도 있다. 상기 절연막(246)은 알루미늄 산화막으로 형성하는 것이 바람직하며, 그 두께를 균일하게 형성하는 것이 바람직하다. 이를 위해, 상기 절연막(246)을 형성하는 단계는 화학 기상 증착(chemical vapor deposition, CVD) 또는 원자층 증착(atomic layer deposition, ALD)의 방법이 사용될 수 있다.

- <90> 상기 자기 터널 접합(240)과 상기 하부 전극(230)의 형성 순서는 바뀔 수 있다. 또한, 상기 자기 터널 접합(240)은 도 8a, 도 9a, 도 10a 및 도 11a에 도시한 것처럼, 직사각형의 모양인 것이 바람직한데, 도 8b, 도 9b, 도 10b 및 도 11b에 도시한 것처럼 평행사변형의 모양을 갖도록 형성할 수도 있다. 상기 자기 터널 접합(240)은 한번의 패터닝 공정을 통해 형성되므로, 상기 자기 터널 접합(240)의 모서리는 라운드될 수도 있다.
- <91> 상기 하부 전극(230) 및 상기 자기 터널 접합(240)을 포함하는 반도체기판의 전면에, 제 2 상부 층간절연막(250)을 형성한다. 이후, 상기 제 2 상부 층간절연막(250)을 평탄화 식각하여, 상기 자유막(248)의 상부면을 노출시킨다. 상기 평탄화 식각 공정에서의 식각 손상을 예방하기 위해, 상기 자유막(248) 상에는 추가적인 물질막이 더 형성될 수 있다.
- <92> 상기 자기 터널 접합(240)의 상부면이 노출된 반도체기판의 전면에, 상부 금속막을 형성한다. 상기 상부 금속막을 패터닝하여 상기 워드 라인(130)을 수직하게 가로지르는 복수개의 비트 라인들(260)을 형성한다. 상기 비트 라인들(260)이 상기 워드 라인(130)에 수직하도록 형성하는 방법은 도 10a 및 도 10b를 통해 도시된, 본 발명의 제 3 실시예 및 그 변형예에서도 동일하다. 또한, 상기 비트 라인들(260)은 도 9a, 도 9b, 도 11a 및 도 11b에 도시한 것처럼, 2차원적으로 배열된 상기 셀 트랜지스터들의 상부면을 대각선으로 가로지르도록 형성할 수도 있다. 이러한 실시예들에 따르면, 한 개의 비트 라인(260)은 대각선으로 배열된 셀 트랜지스터들의 드레인 영역(150d)을 연결한다.
- <93> 결과적으로, 상술한 모든 실시예들에서 상기 비트 라인(260)과 상기 디짓 라인(210)은 비스듬하게 교차하고, 이들 사이에는 상기 자기 터널 접합(240)이 개재된다.

【발명의 효과】

<94> 본 발명에 따르면, 서로 비스듬히 교차하는 비트 라인과 디짓 라인을 구비하는 자기 메모리 및 그 제조 방법을 제공한다. 이에 따라, 상기 비트 라인과 디짓 라인을 각각 흐르는 전류들에 의해 형성되는 합성적인 자기장의 크기를 증가시킬 수 있다. 이리하여, 기록 모드에서 소모되는 전력을 감소시킬 수 있으며, 상기 비트 라인 또는 디짓 라인에 연결된 자기 터널 접합들에서 교란(disturbance)이 발생하는 것을 최소화할 수 있다. 그 결과, 소모 전력이 적으면서 동작 특성이 우수한 자기 메모리를 제조할 수 있다.

【특허 청구범위】**【청구항 1】**

한 평면에 배치되는 복수개의 디짓 라인들;
상기 디짓 라인들을 가로지르면서 또다른 평면에 배치되는 복수개의 비트라인들;
및
상기 비트라인과 상기 디짓 라인 사이에 개재된 자기 터널 접합을 포함하되,
상기 디짓 라인과 상기 비트 라인은 서로 비스듬하게 교차하는 것을 특징으로 하는
자기 메모리.

【청구항 2】

제 1 항에 있어서,
상기 디짓 라인과 상기 비트 라인 사이의 교각(angle of intersection)은 15 내지
75도인 것을 특징으로 하는 자기 메모리.

【청구항 3】

제 1 항에 있어서,
상기 자기 터널 접합은 상기 비트 라인과는 전기적으로 연결되고, 상기 디짓 라인
으로부터는 이격되는 것을 특징으로 하는 자기 메모리.

【청구항 4】

제 1 항에 있어서,
상기 비트 라인들, 디짓 라인들 및 자기 터널 접합들은 반도체기판 상에
배치되고,

상기 반도체기판 상에는 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 셀 트랜지스터들이 더 배치되되,

상기 셀 트랜지스터들은 각각 게이트 전극, 소오스 영역 및 드레인 영역을 구비하고, 상기 셀 트랜지스터들의 게이트 전극들은 복수개의 워드 라인들에 의해 연결되는 것을 특징으로 하는 자기 메모리.

【청구항 5】

제 4 항에 있어서,

상기 디짓 라인은 상기 워드 라인에 평행하고, 상기 비트 라인은 상기 워드 라인을 비스듬히 교차하는 것을 특징으로 하는 자기 메모리.

【청구항 6】

제 5 항에 있어서,

상기 비트 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 드레인 영역들을 대각선으로 연결하는 것을 특징으로 하는 자기 메모리.

【청구항 7】

제 5 항에 있어서,

상기 비트 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 드레인 영역들을 갈지자(zigzag)로 연결하는 것을 특징으로 하는 자기 메모리.

【청구항 8】

제 4 항에 있어서,

상기 비트 라인은 상기 워드 라인에 수직하고, 상기 디짓 라인은 상기 워드 라인을 비스듬히 교차하는 것을 특징으로 하는 자기 메모리.

【청구항 9】

제 8 항에 있어서,

상기 디짓 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 상부를 대각선으로 가로지르는 것을 특징으로 하는 자기 메모리.

【청구항 10】

제 8 항에 있어서,

상기 디짓 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 상부를 갈지자(zigzag)로 가로지르는 것을 특징으로 하는 자기 메모리.

【청구항 11】

제 1 항에 있어서,

상기 자기 터널 접합은 차례로 적층된 피닝막, 고정막, 절연막 및 자유막으로 구성되는 것을 특징으로 하는 자기 메모리.

【청구항 12】

제 11 항에 있어서,

상기 고정막은 차례로 적층된 하부 강자성막, 루세늄막 및 상부 강자성막으로 이루어지는 것을 특징으로 하는 자기 메모리.

【청구항 13】

제 1 항에 있어서,

상기 자기 터널 접합의 모양은 모서리가 라운드된, 직사각형 및 평행사변형 중의 한가지인 것을 특징으로 하는 자기 메모리.

【청구항 14】

복수개의 디짓 라인들을 형성하는 단계;
 상기 디짓 라인을 포함하는 결과물 전면에, 상부 층간절연막을 형성하는 단계;
 상기 상부 층간절연막 상에 자기 터널 접합을 형성하는 단계; 및
 상기 자기 터널 접합에 직접 연결되는 비트 라인을 형성하는 단계를 포함하되,
 상기 디짓 라인과 상기 비트 라인은 비스듬히 교차하도록 형성하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 15】

제 14 항에 있어서,
 상기 디짓 라인들은 반도체기판 상에 형성하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 16】

제 15 항에 있어서,
 상기 디짓 라인을 형성하기 전에,
 상기 반도체기판 상에 행 방향 및 열 방향을 따라 2차원적으로 배열되는 셀 트랜지스터들을 형성하는 단계; 및
 상기 셀 트랜지스터가 형성된 반도체기판의 전면을 덮는 하부 층간절연막을 형성하는 단계를 더 포함하는 자기 메모리의 제조 방법.

【청구항 17】

제 16 항에 있어서,
상기 셀 트랜지스터를 형성하는 단계는
상기 반도체기판의 소정영역에 소자분리막을 형성하여 활성영역들을 한정하는
단계;
상기 활성영역들을 가로지르는 복수개의 워드 라인들을 형성하는 단계; 및
상기 워드라인들 사이의 활성영역에 드레인 영역 및 소오스 영역을 형성하는 단계
를 포함하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 18】

제 17 항에 있어서,
상기 자기 터널 접합을 형성하기 전에,
상기 드레인 영역과 상기 자기 터널 접합을 전기적으로 연결시키도록, 상기 상부
층간절연막 및 상기 하부 층간절연막을 관통하여 상기 드레인 영역에 접속하는 수직 배
선을 형성하는 단계를 더 포함하는 자기 메모리의 제조 방법.

【청구항 19】

제 16 항에 있어서,
상기 하부 층간절연막을 형성하는 단계는
상기 셀 트랜지스터를 포함하는 반도체기판의 전면에 제 1 하부 층간절연막을 형성
하는 단계;

상기 제 1 하부 층간절연막을 관통하여 상기 드레인 영역 및 소오스 영역에 접속하는 콘택 플러그들을 형성하는 단계;

상기 제 1 하부 층간절연막 상에, 상기 콘택 플러그의 상부를 지나는 제 1 금속 패턴을 형성하는 단계;

상기 제 1 금속 패턴을 포함하는 반도체기판의 전면에, 제 2 하부 층간절연막을 형성하는 단계; 및

상기 제 2 하부 층간절연막을 관통하여, 상기 제 1 금속 패턴에 접속하는 비아 플러그를 형성하는 단계를 포함하되, 상기 제 1 금속 패턴은 상기 소오스 영역에 접속된 콘택 플러그들을 연결하는 소오스 라인 및 상기 드레인 영역에 접속하는 콘택 플러그와 상기 비아 플러그를 연결하는 패드로 사용되는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 20】

제 17 항에 있어서,

상기 디짓 라인은 상기 워드 라인을 비스듬히 교차하도록 형성하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 21】

제 17 항에 있어서,

상기 디짓 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 상부를 대각선으로 지나는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 22】

제 17 항에 있어서,

상기 디짓 라인은 한 개의 워드 라인에 연결되는 셀 트랜지스터들의 상부를 지그재그 모양으로 지나는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 23】

제 14 항에 있어서,

상기 자기 터널 접합은 모서리가 라운드된, 직사각형 또는 평행사변형의 모양으로 형성하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 24】

제 18 항에 있어서,

상기 비트 라인은 상기 워드 라인을 비스듬히 교차하면서, 상기 수직 배선을 통해 상기 드레인 영역에 접속하도록 형성되는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 25】

제 18 항에 있어서,

상기 비트 라인은 지그재그 모양을 가지면서, 상기 워드 라인을 가로지르도록 형성되는 것을 특징으로 하는 자기 메모리의 제조 방법.

【청구항 26】

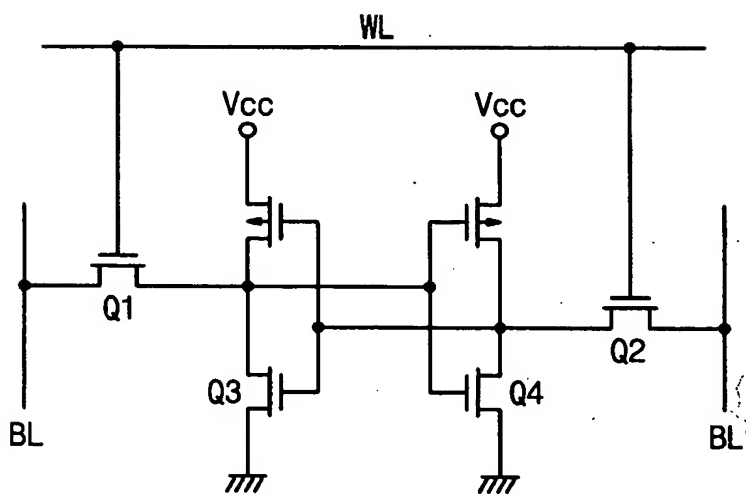
제 18 항에 있어서,

상기 비트 라인은 2차원적으로 배열된 상기 셀 트랜지스터들의 드레인 영역을 대각선으로 연결하는 것을 특징으로 하는 자기 메모리의 제조 방법.

【도면】

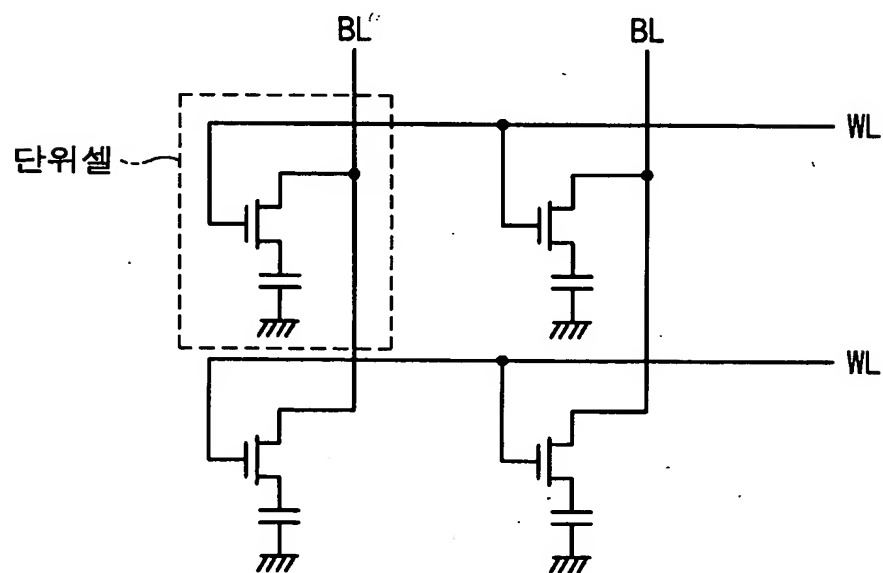
【도 1a】

(종래 기술)



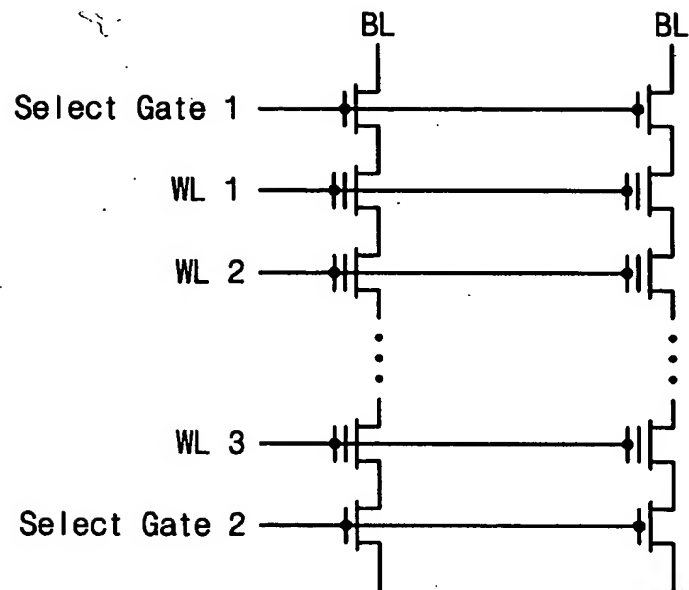
【도 1b】

(종래 기술)

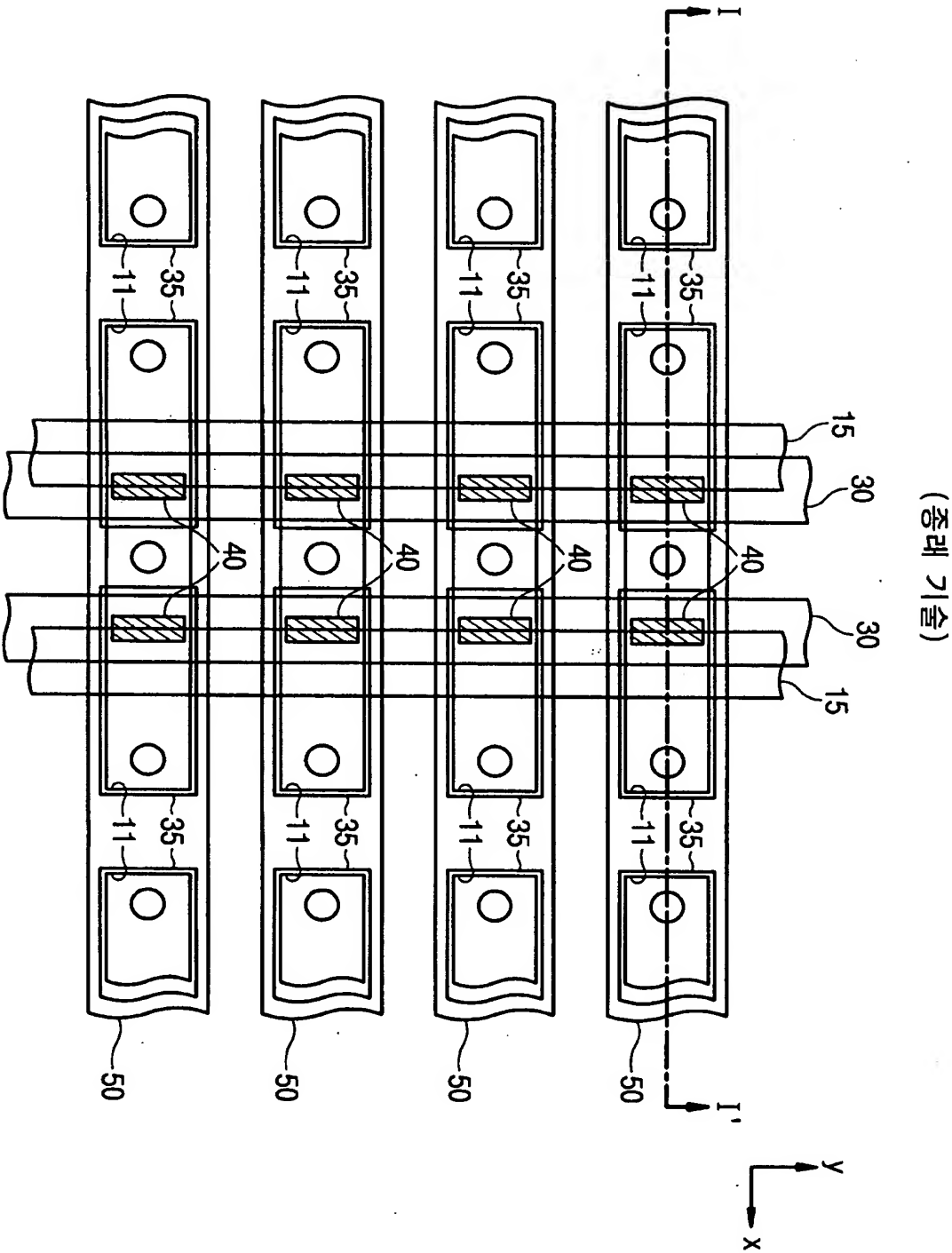


【도 1c】

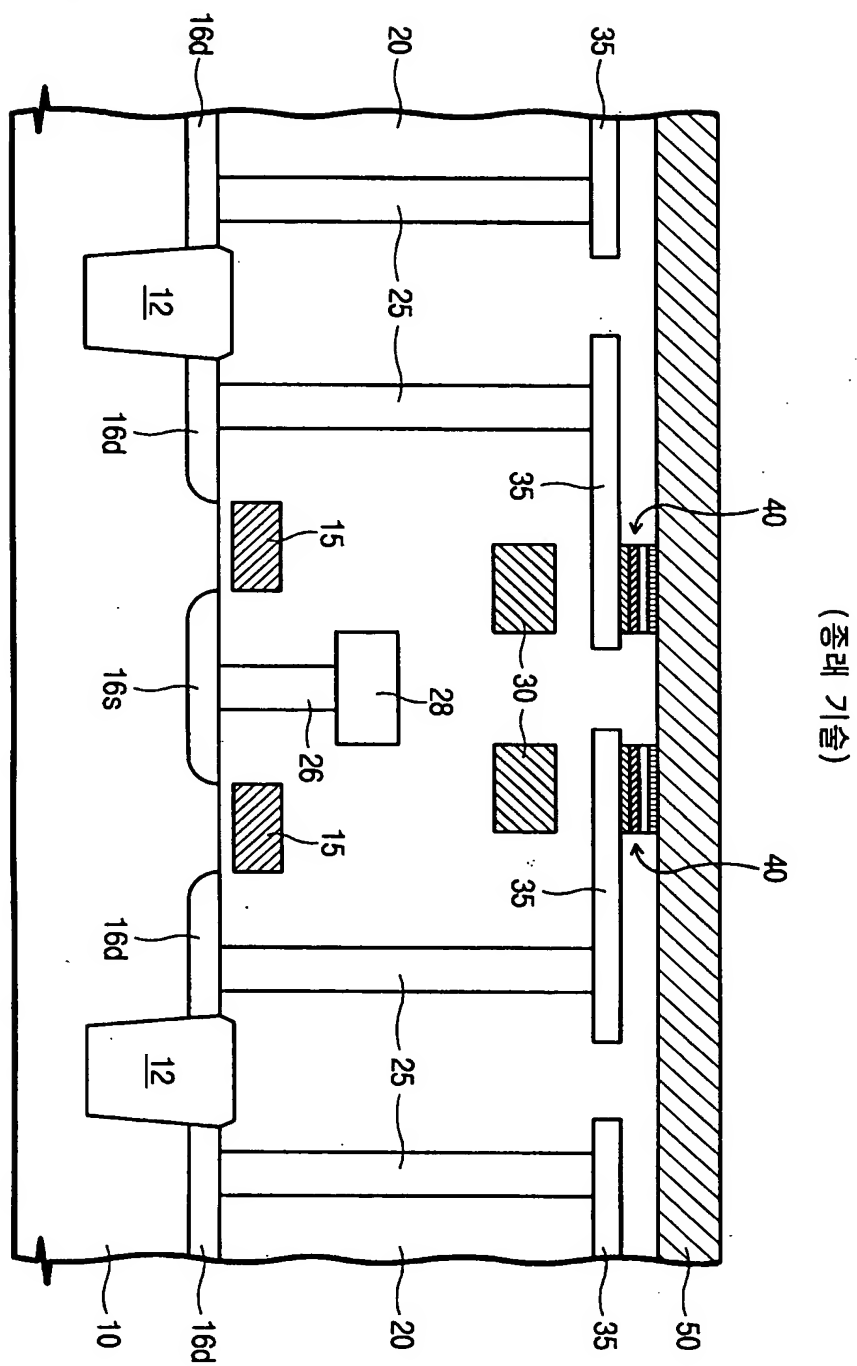
(종래 기술)



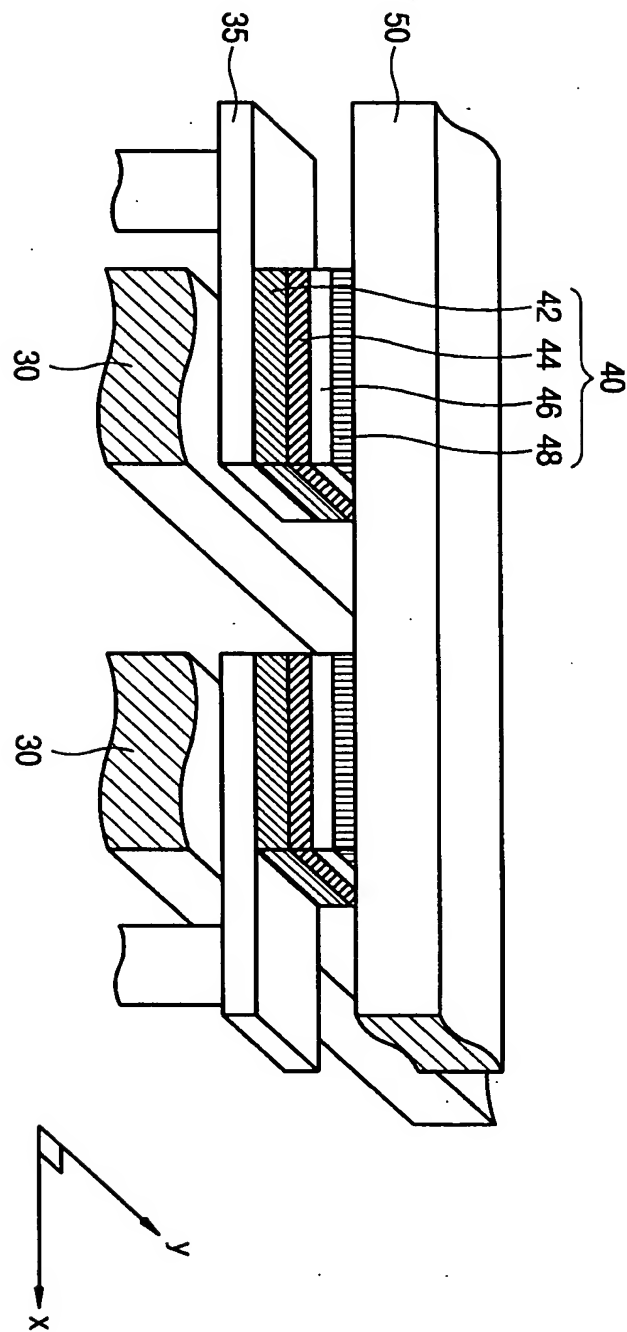
【도 2】



【도 3】

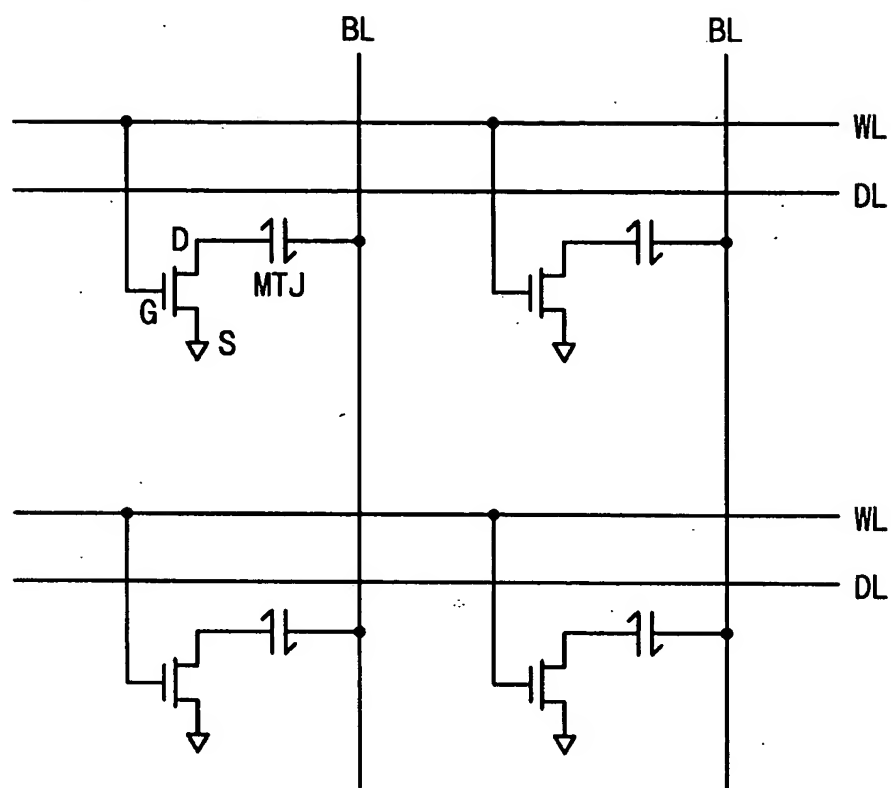


【도 4】

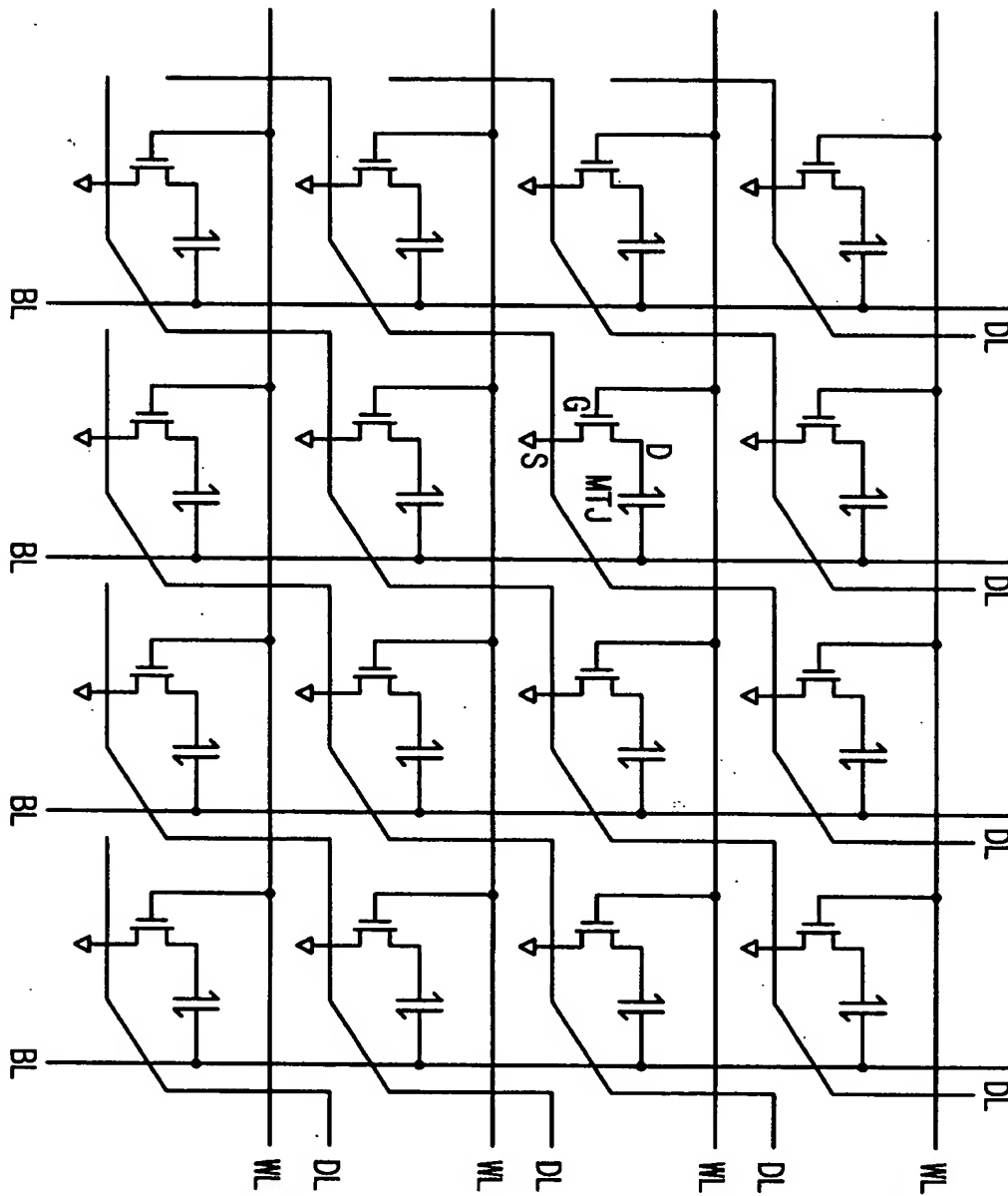


(종래 기술)

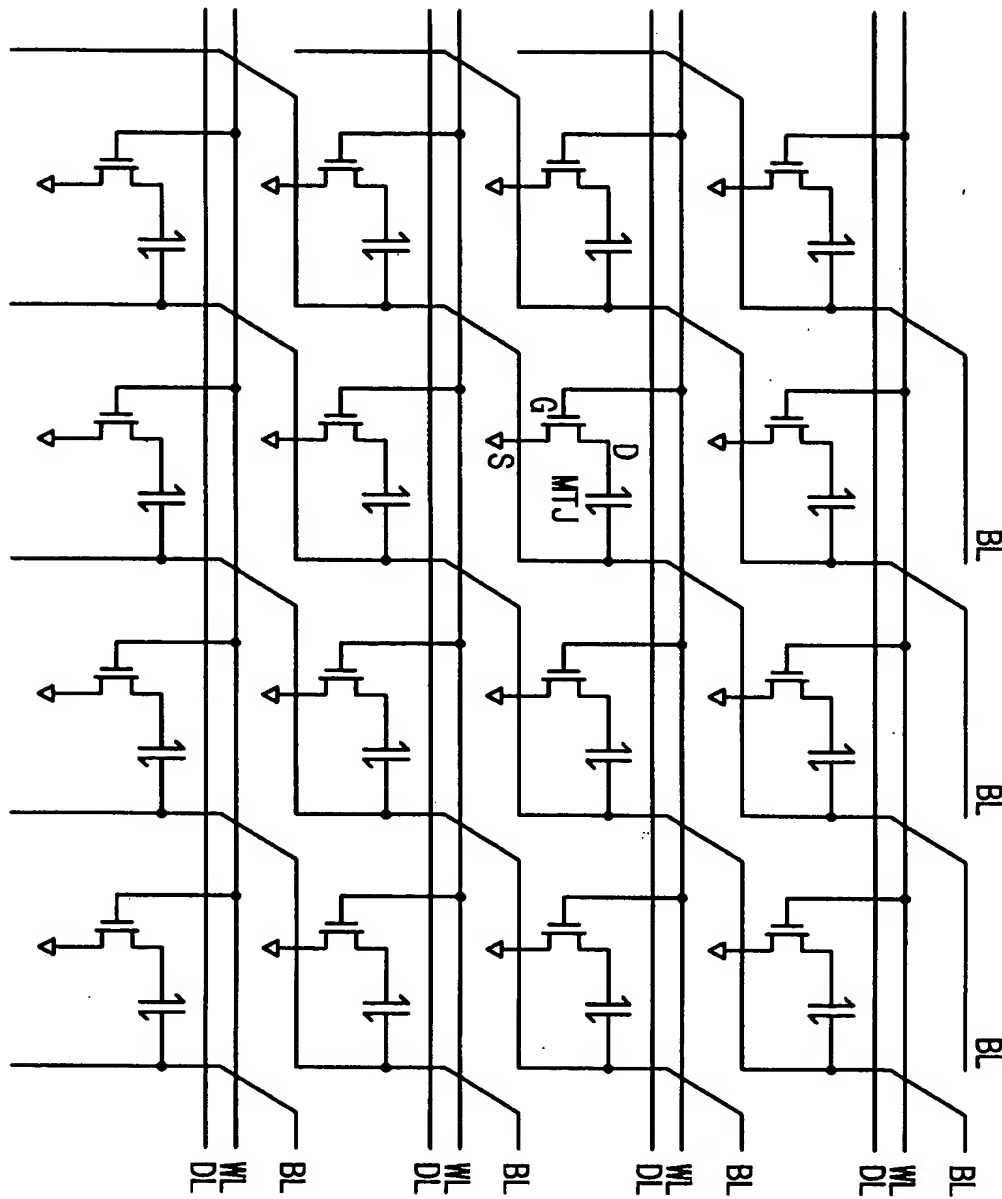
【도 5】



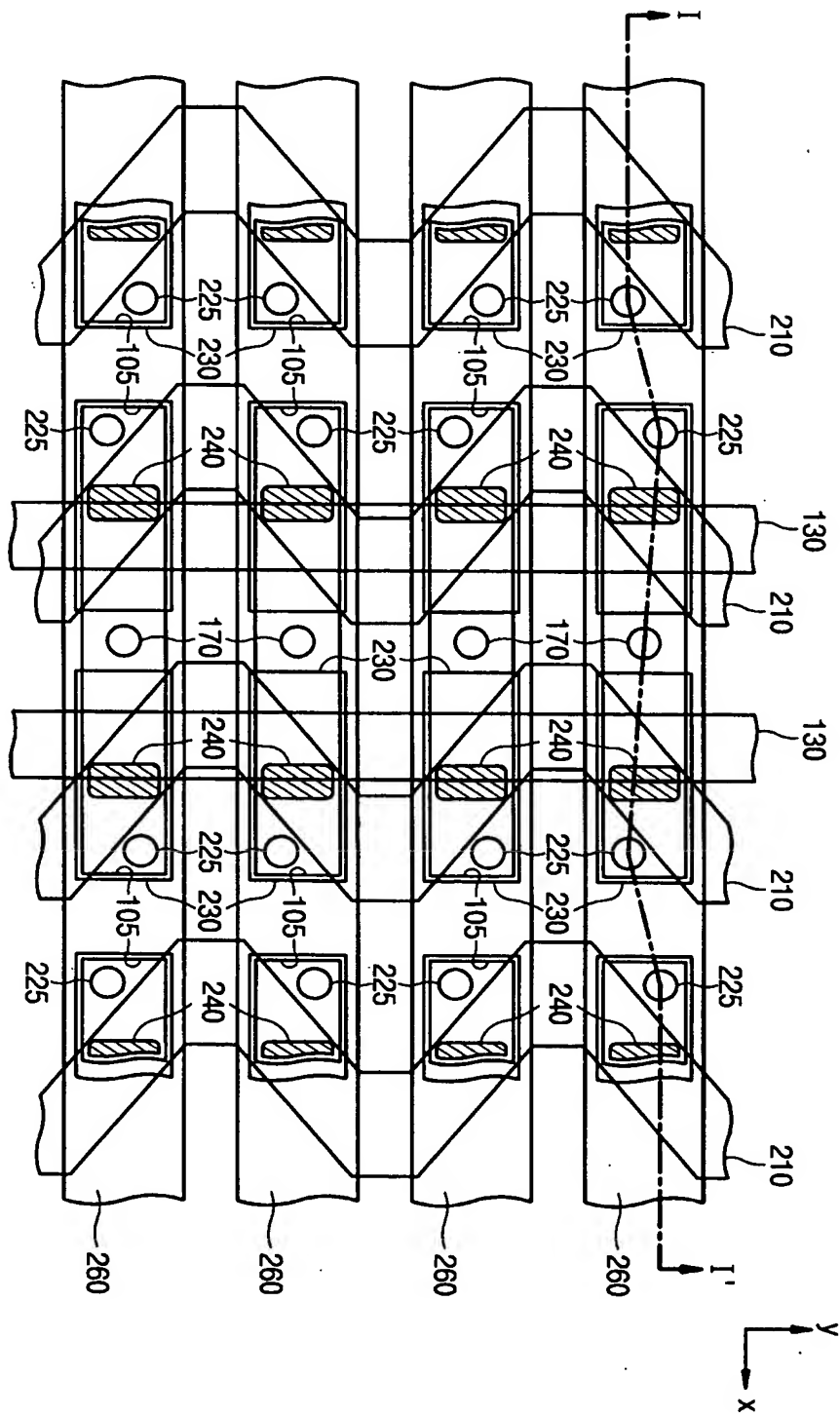
【도 6】



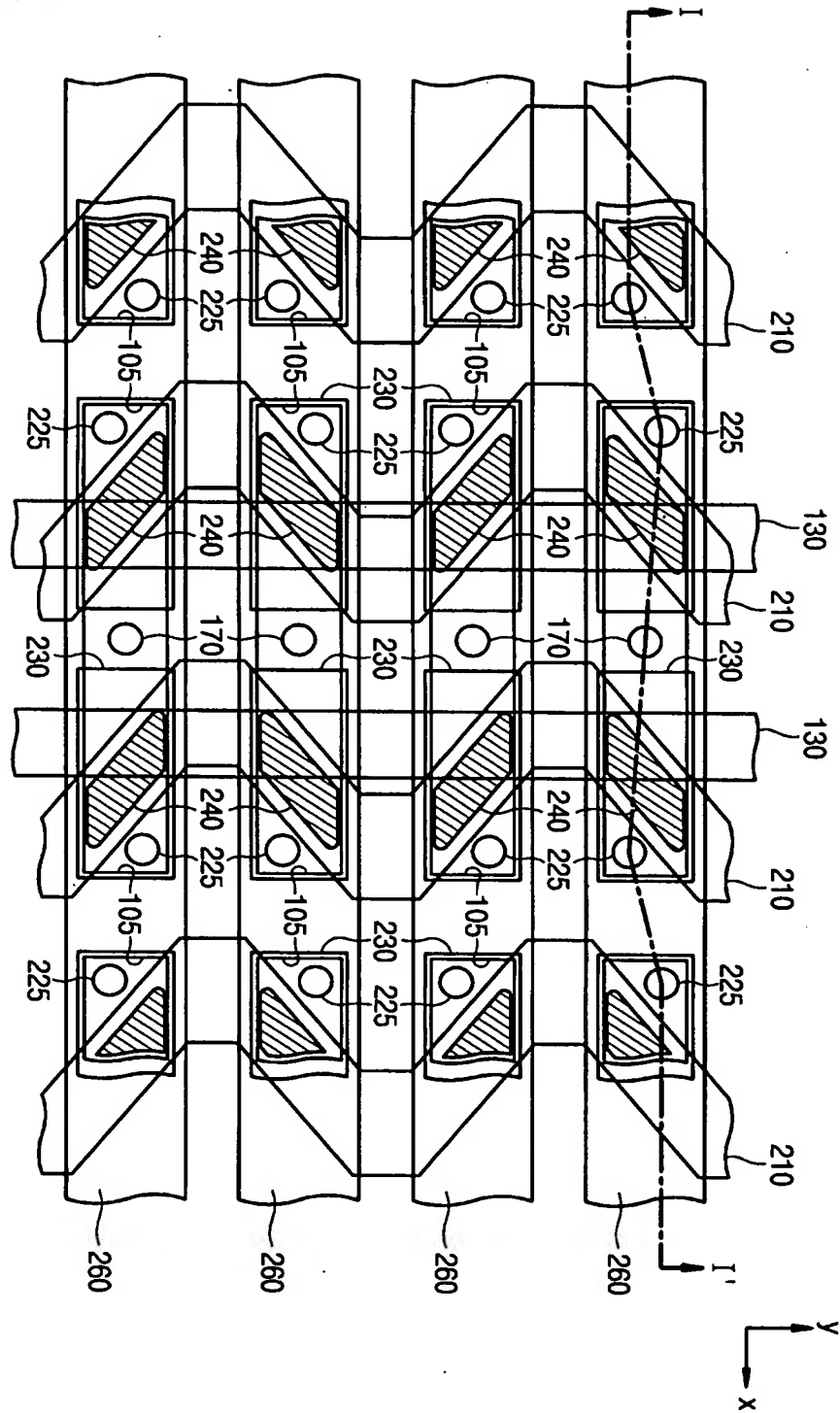
【도 7】



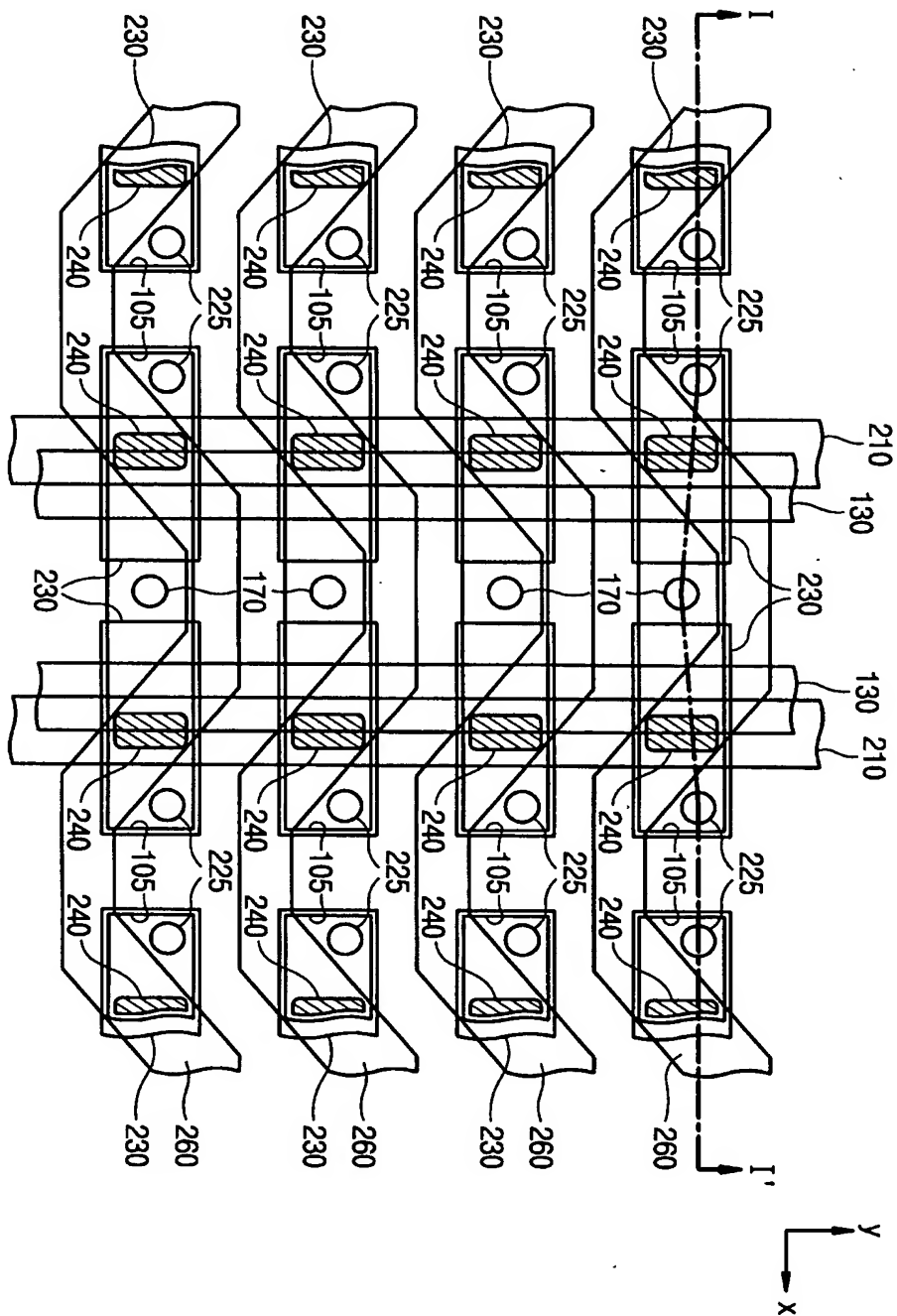
【도 8a】



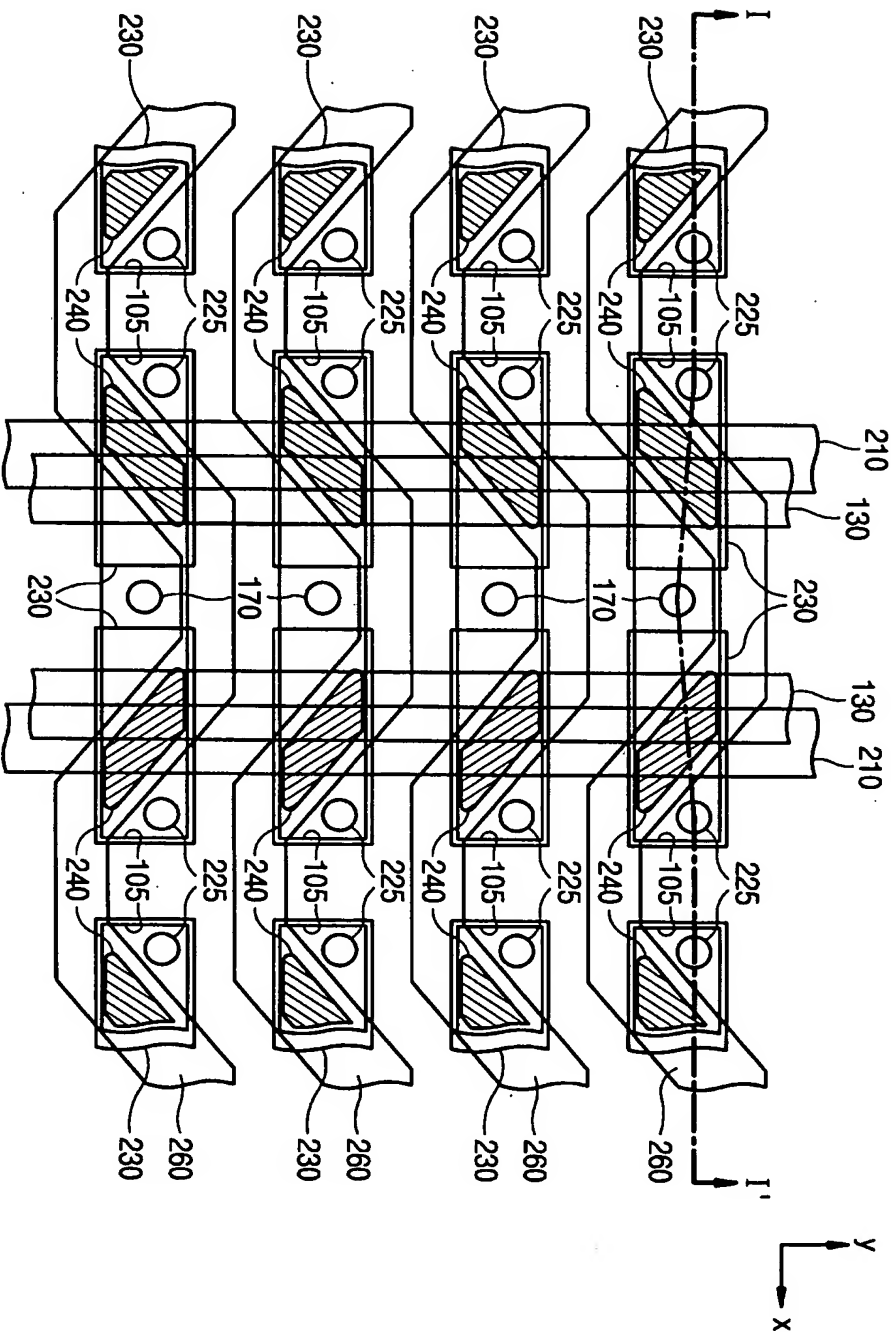
【도 8b】



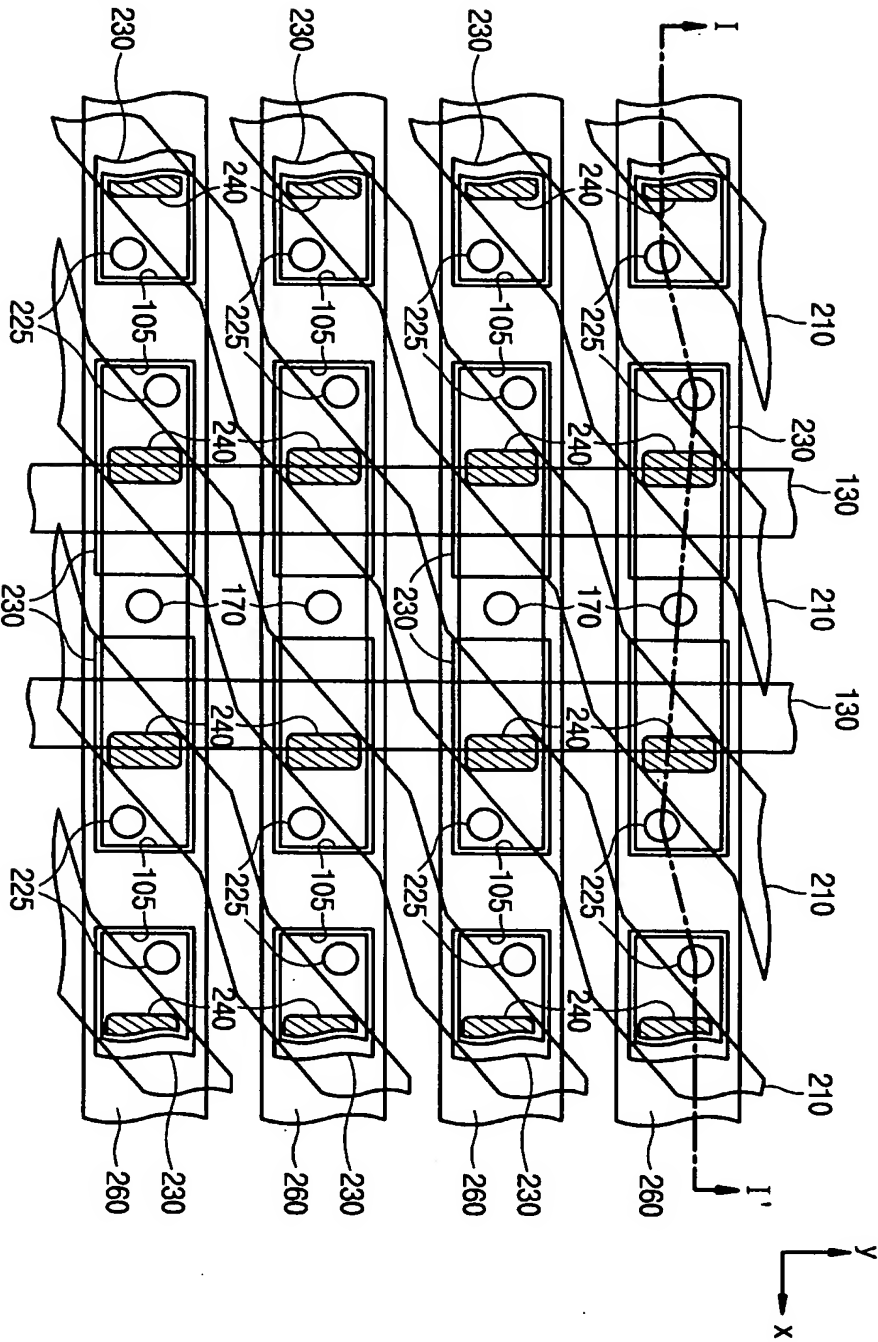
【도 9a】



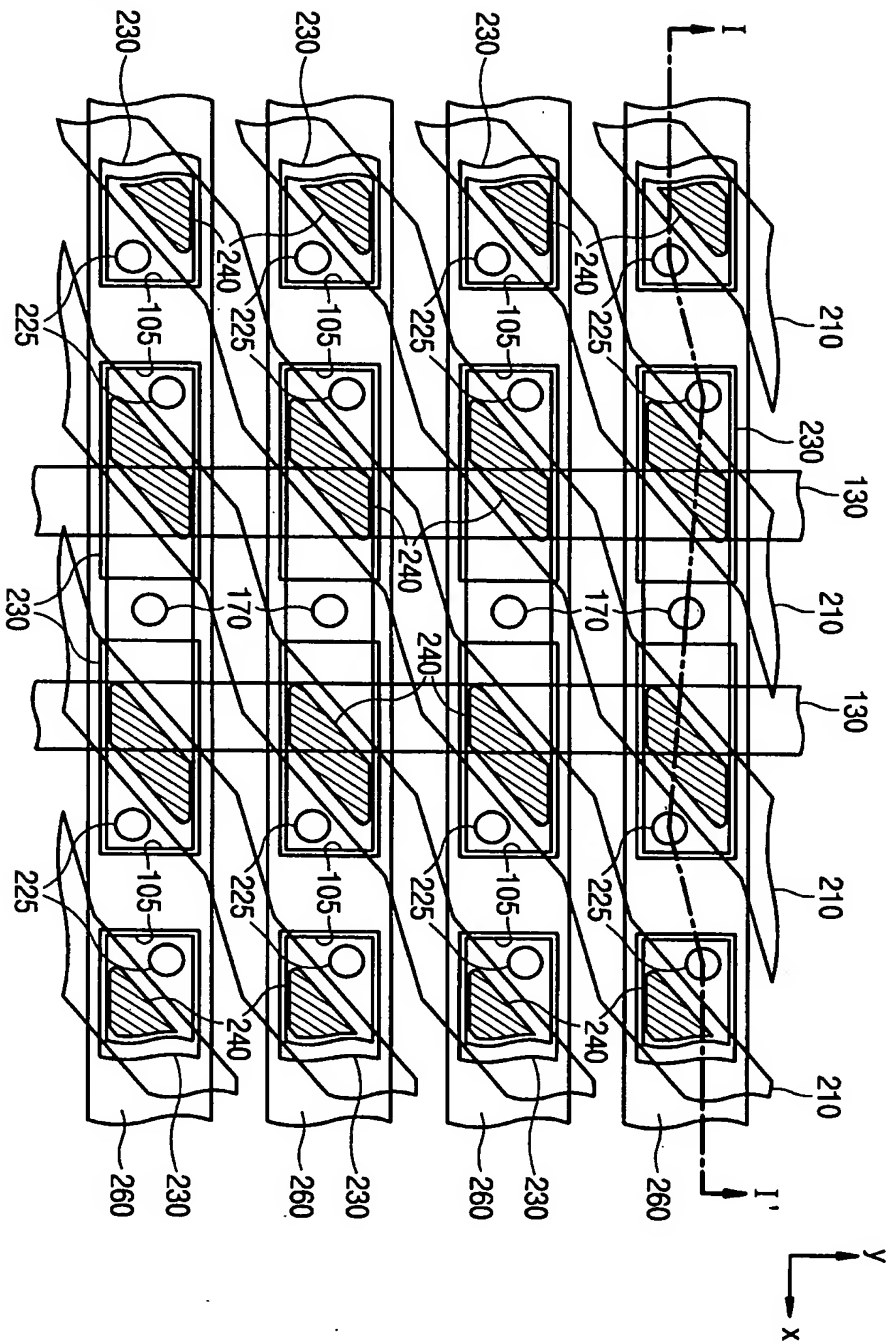
【도 9b】

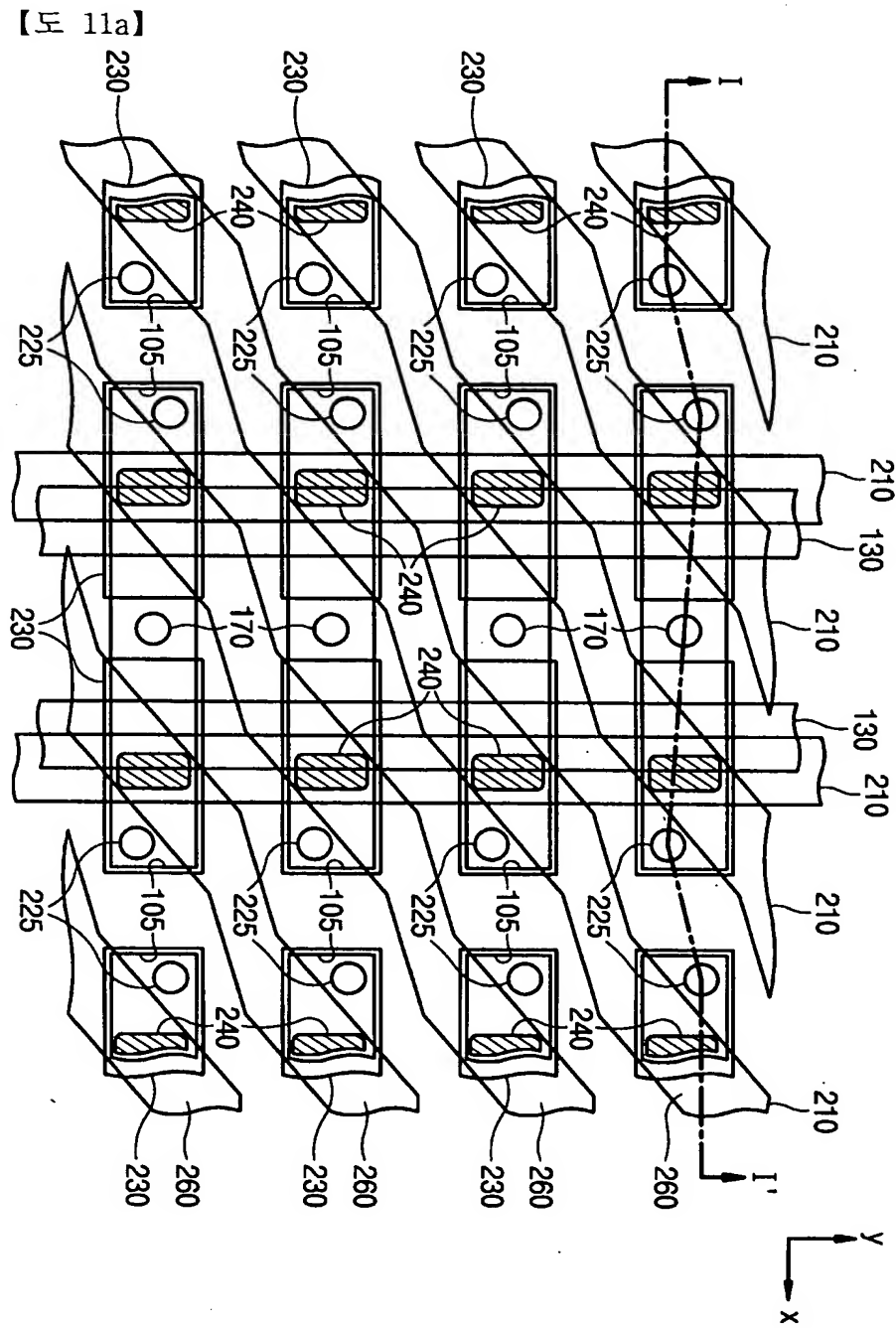


【도 10a】

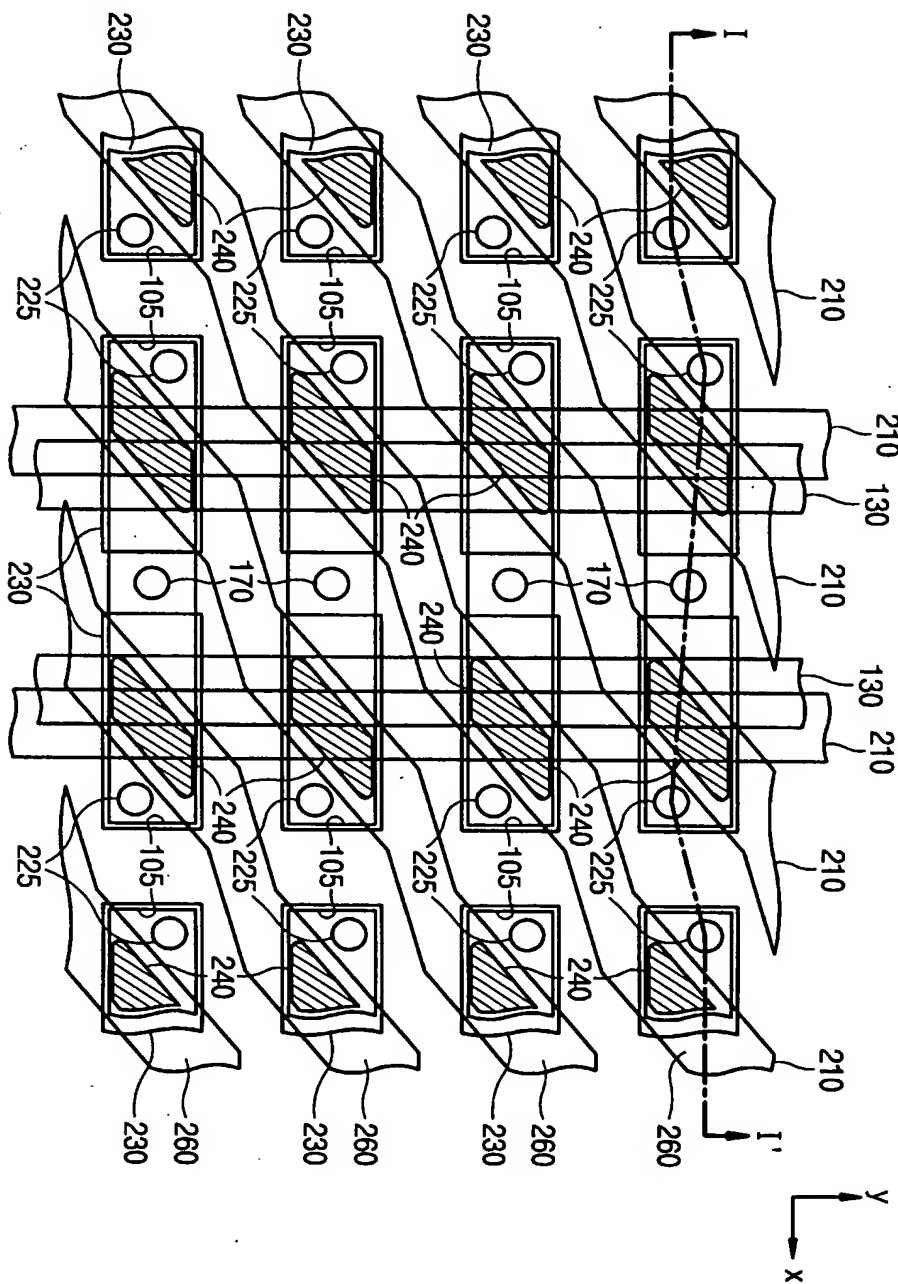


【도 10b】

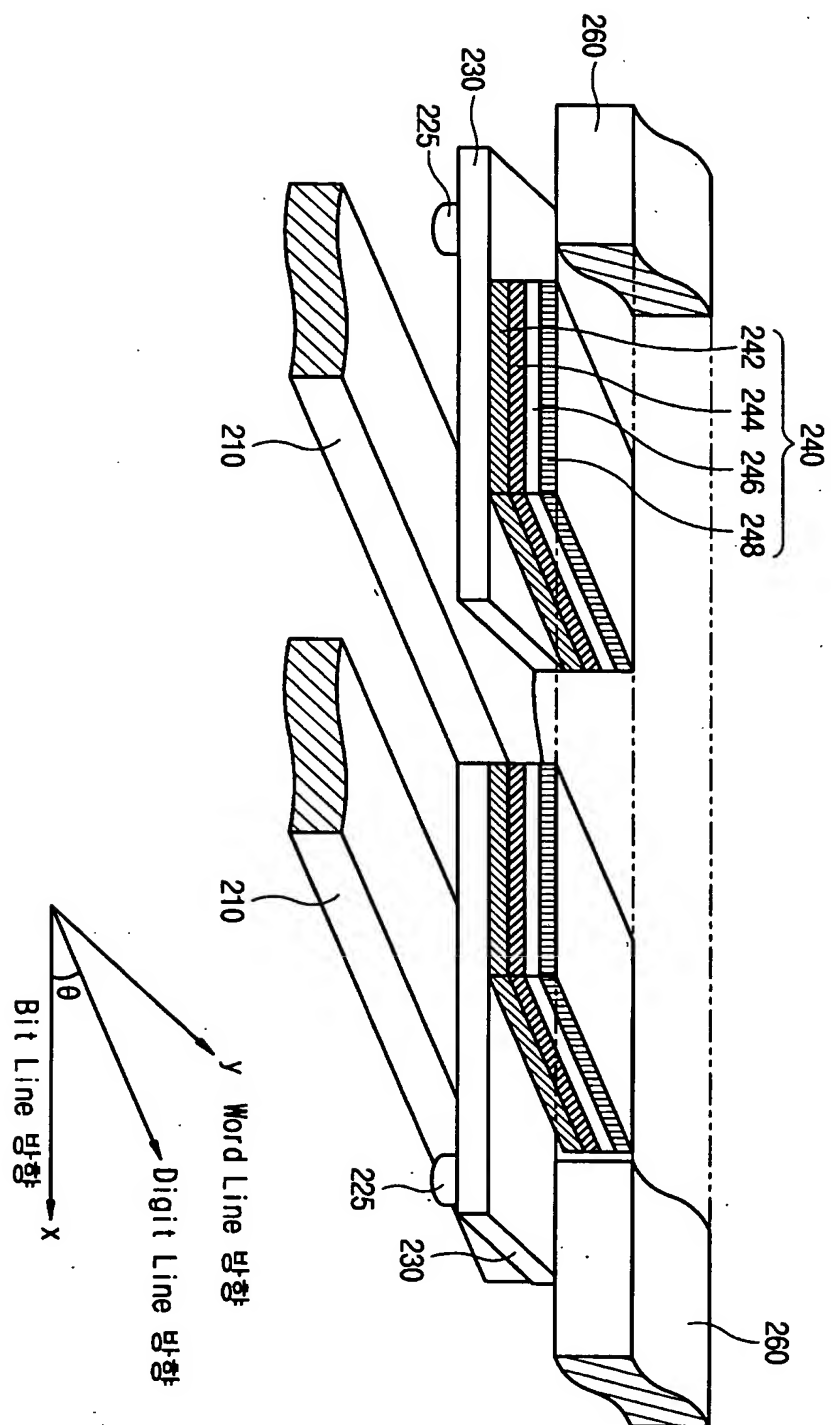




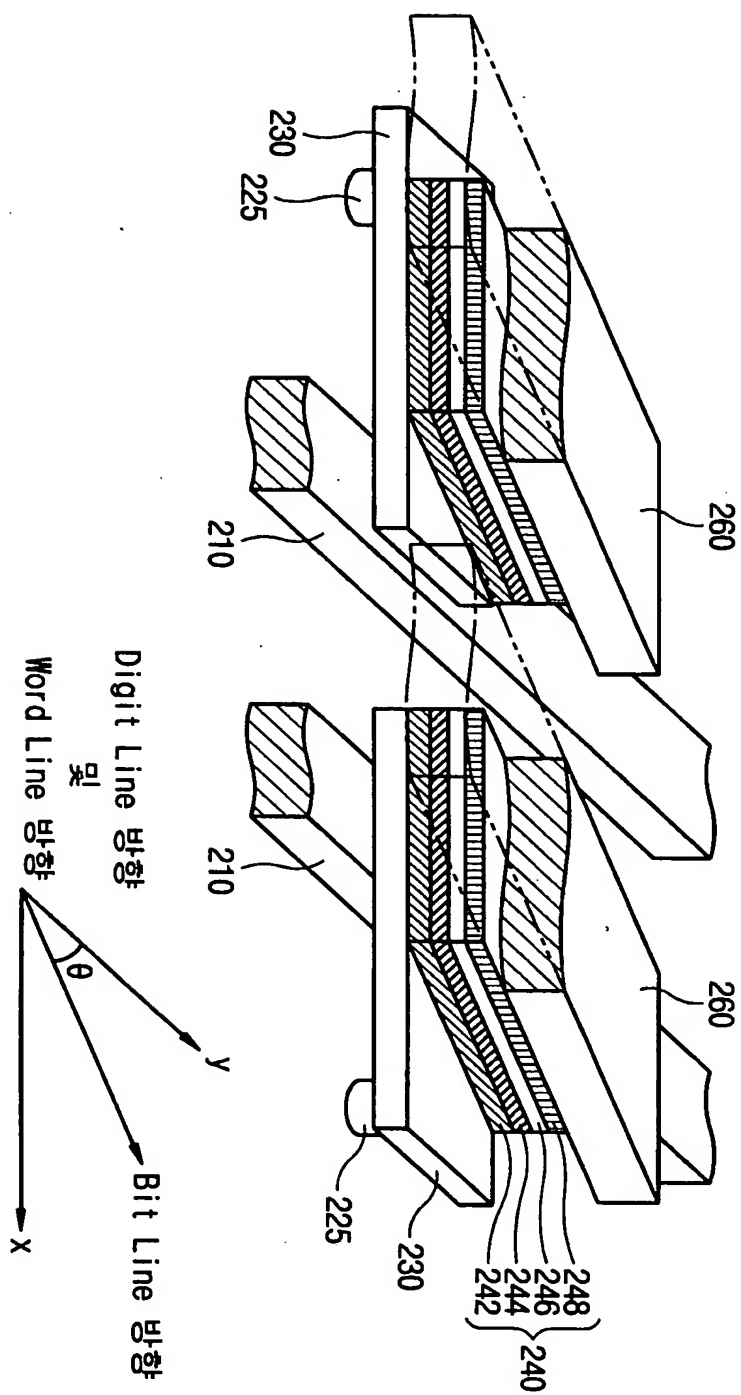
【도 11b】



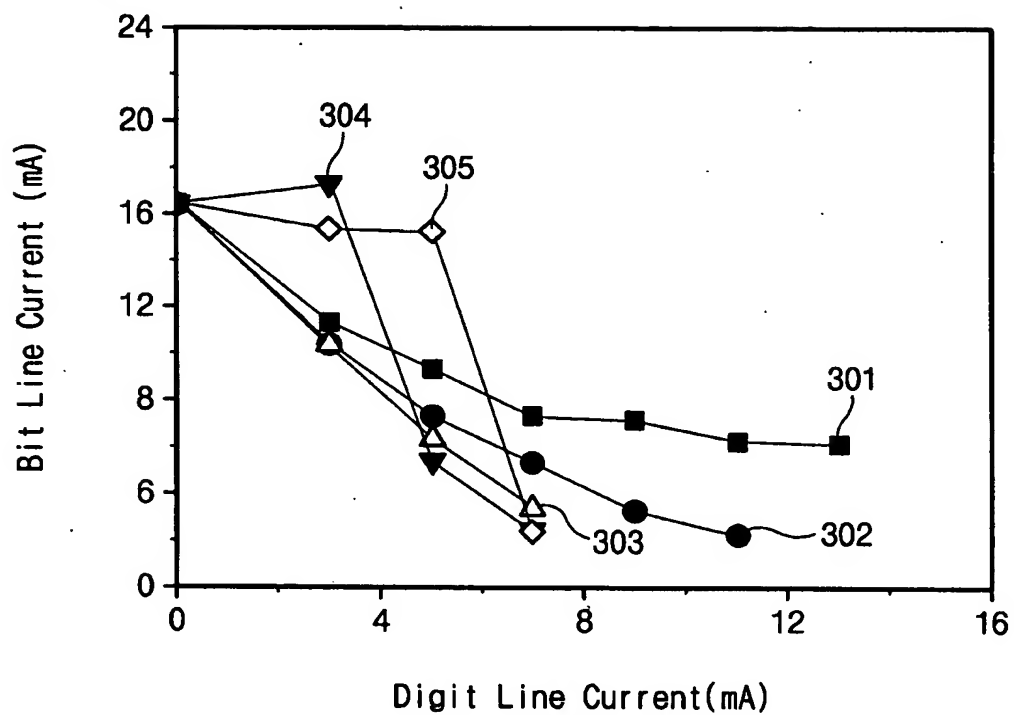
【도 12】



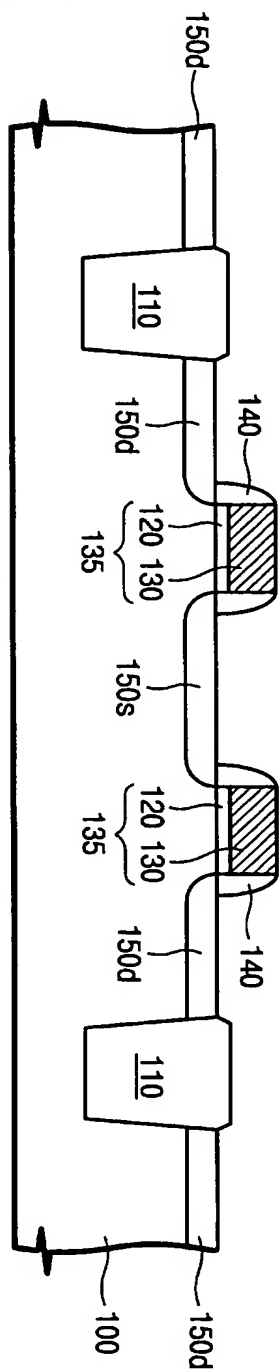
【도 13】



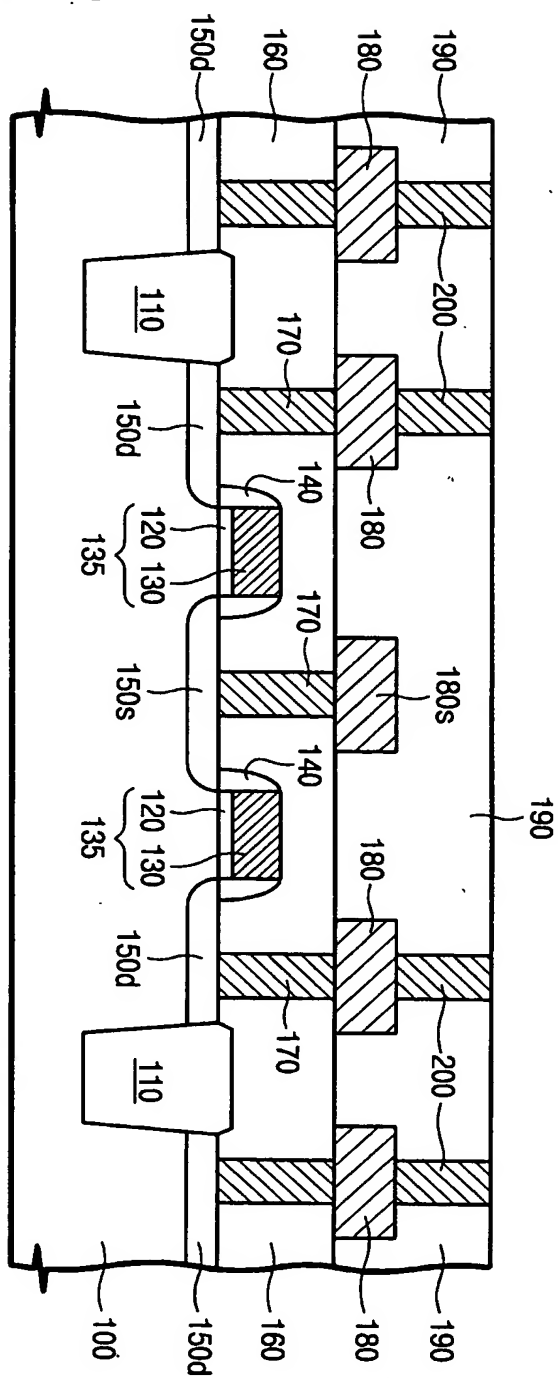
【도 14】



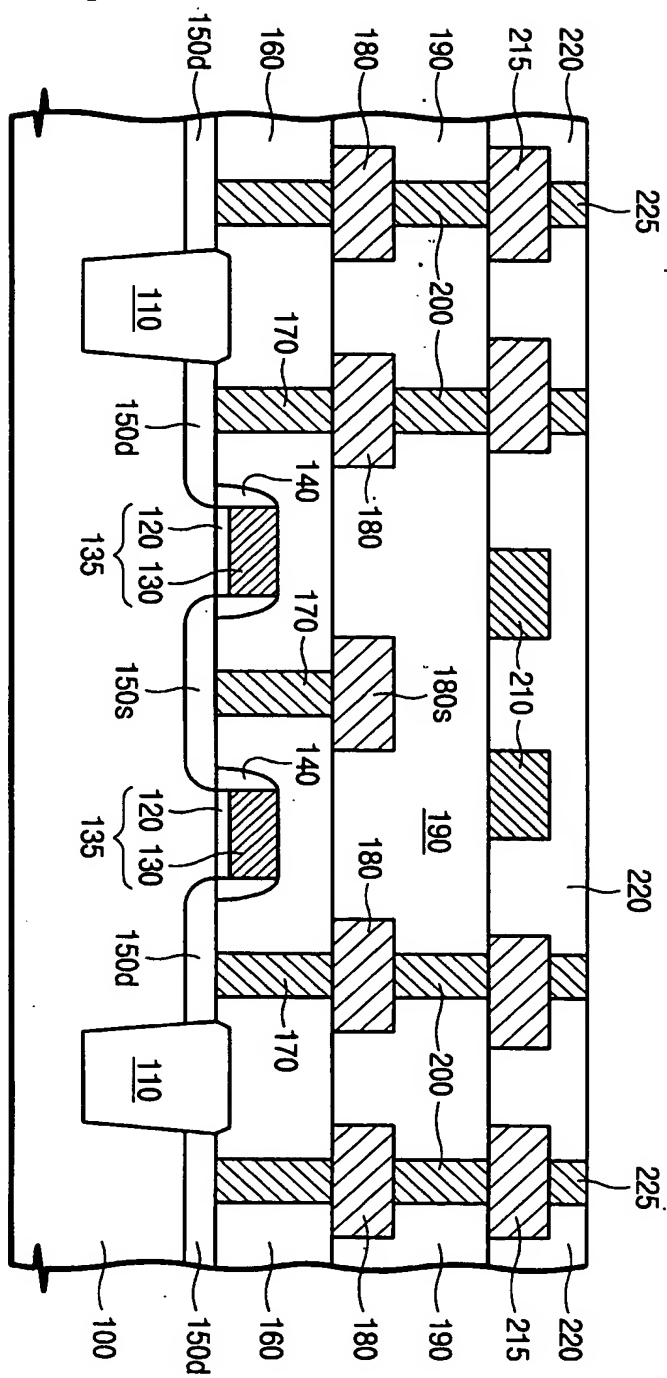
【도 15】



【도 16】



【도 17】



This cross-sectional view shows a semiconductor device with a multi-layered structure. The top layer is labeled 230, followed by a layer 240. Below these are several layers of alternating materials, some of which are patterned into blocks or lines. Labels 250, 260, 230, 220, 215, 225, 210, 220, 225, 230, 250, 260 indicate different layers or regions. A central region is labeled 200. Other labels include 190, 180, 170, 140, 135, 120, 130, 150d, 150s, 110, and 100. Arrows point to specific features within the structure, and a break symbol is shown at the bottom.